

Міністерство освіти і науки України
Національний університет водного господарства та
природокористування
Кафедра обчислювальної техніки

04-04-244М

Методичні вказівки

до виконання курсової роботи
з навчальної дисципліни
«Комп'ютерна схемотехніка» для здобувачів вищої освіти
першого (бакалаврського) рівня за освітньо-професійною
програмою «Комп'ютерна інженерія» спеціальності
123 «Комп'ютерна інженерія»
денної та заочної форм навчання

Рекомендовано науково-
методичною радою
з якості ННІАКОТ
Протокол № 3 від 31.01.2022 р.

Рівне – 2022

Методичні вказівки до виконання курсової роботи з навчальної дисципліни «Комп'ютерна схемотехніка» для здобувачів вищої освіти першого (бакалаврського) рівня за освітньо-професійною програмою «Комп'ютерна інженерія» спеціальності 123 «Комп'ютерна інженерія» денної та заочної форм навчання [Електронне видання] / Круліковський Б. Б. – Рівне : НУВГП, 2022. – 20 с.

Укладач: Круліковський Б. Б., кандидат технічних наук,
доцент кафедри обчислювальної техніки.

Відповідальний за випуск: Круліковський Б. Б., канд. техн.
наук, доцент, завідувач кафедри обчислювальної техніки.

Керівник групи забезпечення
спеціальності

Круліковський Б. Б.

© Круліковський Б. Б., 2022
© НУВГП, 2022

ЗМІСТ

	Вступ	4
1	Загальні методичні вказівки	5
2	Варіанти завдань курсової роботи	6
3	Перелік задач курсової роботи	9
4	Вимоги до змісту та оформлення роботи	13
5	Вибір елементної бази	16
6	Ранжування синтезованої схеми	15
7	Розрахунок часових параметрів	16
8	Пристрій синхронізації	18
	Література	19

Вступ

Освітня компонента ОК18 "Курсова робота з комп'ютерної схемотехніки" в освітній програмі "Комп'ютерна інженерія", що затверджена Вченою радою НУВГП 14.06.2019 р.[18], є необхідною передумовою отримання здобувачами вищої освіти спеціальності 123 "Комп'ютерна інженерія" наступних загальних Z2, Z3, Z7, та фахових P5, P6, P7, P8, P12, P13, P14 компетенцій на основі здобутих результатів навчання: N1, N3, N6, N7, N9, N13, N14, N15, N17, N20. Завдання курсової роботи мають на меті закріплення перелічених в стандарті результатів навчання, тому курсова робота з комп'ютерної схемотехніки відіграє важливу роль у закріпленні навчичок практичного використання знань, отриманих при вивченні освітніх компонентів ОК10, ОК14, ОК15, ОК16, ОК 17 підготовки бакалаврів з комп'ютерної інженерії. Крім того, захищена курсова робота є необхідною умовою допуску до результуючого іспиту з освітньої компоненти "Практична підготовка з комп'ютерної схемотехніки". Здобуті навчки також будуть вкрай необхідні в професійній діяльності.

Методичні вказівки містять завдання, перелік задач курсової роботи, методичні вказівки щодо їх вирішення, рекомендований зміст пояснювальної записки та перелік графічних матеріалів курсової роботи, а також список літературних джерел з прикладами вирішення поставлених задач на розробку цифрового пристрою. Робота оформляється згідно діючих державних стандартів.

Курсова робота виконується в 4 семестрі навчання паралельно з практичною підготовкою з комп'ютерної схемотехніки, де студенти вивчають інструменти з розробки та моделювання цифрових систем обробки інформації.

1. Загальні методичні вказівки

Завдання курсової роботи полягає в розробці цифрового автомата, призначеного для перетворення вхідного натурального двійкового коду числа у заданий вихідний код. Вхідний натуральний двійковий код (НДК) десятикової цифри від 0 до 9 формується за допомогою пристрою уведення. При натисканні кнопки "Пуск" на пульті управління заданий на вході код відображається на відповідному цифровому індикаторі і записується у вхідний 4-х розрядний регістр. Починається перетворення вхідного НДК у заданий вихідний код. Коли перетворення завершиться, його результат повинен відобразитись на вихідному 4-х або 5-ти розрядному індикаторі. На цьому цикл роботи транскодера завершується і він готовий до прийому наступного вхідного НДК.

Варіант завдання визначається порядковим номером студента в журналі академічної групи. Робота має містити пояснювальну записку та графічну частину.

Виконання завдання треба розпочинати з усвідомлення суті виконуваної задачі і розробки структурної схеми цифрового пристрою. Структурна схема повинна містити наступні складові частини: вхідні кола для отримання та зберігання вхідних даних, схему перетворювача вхідної інформації у вихідну (транскодера), вихідні кола для зберігання результату перетворення, пристрій керування, при необхідності пристрій синхронізації, пристрої уведення/виведення. Опис структурної схеми являє собою технічну пропозицію з принципом дії цифрового автомата, функціональним призначенням його складових частин.

Після узгодження структурної схеми з керівником роботи визначається функціональна схема пристрою з уточненням розрядності вхідних, внутрішніх та вихідних шин, вказуються необхідні функції обробки даних відповідної розрядності в кожному функціональному блоці, типи використовуваних функціональних складових і

перелік необхідних керуючих та синхронізуючих сигналів. Всі компоненти функціональної схеми з напрямками передачі та розрядністю оброблюваної інформації, переліком та формою внутрішніх та зовнішніх керуючих сигналів відображаються на функціональній схемі пристрою.

Розробка принципової схеми пристрою повинна починатись з складання таблиць істинності (відповідності), та запису виконуваних логічних функцій перетворення вхідної інформації у вихідну.

Наступним кроком виконується мінімізація ДДНФ (ДКНФ) одним з відомих методів, що дає можливість отримати логічну схему пристрою з мінімальними витратами апаратних засобів. Для мінімальної форми логічної функції з довідникової літератури визначається елементний базис, тобто серії інтегральних схем логічних елементів, які сумісні за електричними та експлуатаційними параметрами і дозволяють використовувати їх сумісно в одному пристрої. З елементів визначеного базису будується логічна схема синтезованого пристрою.

Отримана логічна схема пристрою в разі потреби нормалізується і в остаточному варіанті кожному логічному елементу (ЛЕ) присвоюється буквено-цифрове позначення у відповідності до ГОСТ 2.710-81. Слід максимально використовувати функціональні можливості кожного задіяного корпусу з метою найбільш економної реалізації розроблюваної схеми.

2. Варіанти завдань курсової роботи

Завданням курсової роботи передбачено розробку схеми транскодера для перетворення первинного вхідного коду у вихідний код, що заданий таблицею варіантів (табл. 1). Транскодер отримує на інформаційні входи вхідного регістра RG1 натуральний двійковий код числа у форматі $x_3x_2x_1x_0$, претворює його у відповідний вихідний код і фіксує результат перетворення в розрядах вихідного регістра RG2.

Варіанти завдань наведені в табл.1, де використані наступні позначення: НДК – натуральний двійковий код, ССІ - код керування семисегментним індикатором; ДДК – двійково-десятковий код; 8421 (3321, 5421 та ін) – вагові коефіцієнти розрядів вихідного коду.

Таблиця 1

Таблиця варіантів завдань курсової роботи з комп'ютерної схемотехніки

№ з/п	Вхідний код	Вихідний код
1	НДК $x_3x_2x_1x_0$	ССК abcdefg
2	НДК $x_3x_2x_1x_0$	ДДК 8421
3	НДК $x_3x_2x_1x_0$	ДДК 7421
4	НДК $x_3x_2x_1x_0$	ДДК 5421
5	НДК $x_3x_2x_1x_0$	Код Айкена 2421
6	НДК $x_3x_2x_1x_0$	ДДК 3321
7	НДК $x_3x_2x_1x_0$	Код з надлишком 3 (N+3)
8	НДК $x_3x_2x_1x_0$	Доповнення до 9 (9-N) 8421
9	НДК $x_3x_2x_1x_0$	Доповнення до 10
10	НДК $x_3x_2x_1x_0$	ДДК 5211
11	НДК $x_3x_2x_1x_0$	ДДК 5121
12	НДК $x_3x_2x_1x_0$	ДДК 4221
13	НДК $x_3x_2x_1x_0$	ДДК 8421+6
14	НДК $x_3x_2x_1x_0$	ДДК 53-21
15	НДК $x_3x_2x_1x_0$	ДДК 75-31
16	НДК $x_3x_2x_1x_0$	Код Грея
17	НДК $x_3x_2x_1x_0$	Код Джонсона
18	НДК $x_3x_2x_1x_0$	Код 3N+2 (8421)
19	НДК $x_3x_2x_1x_0$	Код «2 з 5»

У позначеннях кодів 5211, 5121, 4221, 8421, 7421, 5421, 2421, 3321 (табл.2) вказано десяткову вагу φ_i двійкової одиниці x_i відповідного розряду. В кодах 8421+3, та 8421+6 до суми вагомостей одиничних розрядів додається число, що зазначено в кінці, в коді ДДК 53-21 вагомість третього розряду від'ємна, тобто величина числа $x_3x_2x_1x_0$ визначається за такою формулою:

$$5 \cdot x_3 + 3 \cdot x_2 - 2 \cdot x_1 + 1 \cdot x_0.$$

Аналогічно величина числа в ДДК 75-31 визначається за формулою:

$$7 \cdot x_3 + 5 \cdot x_2 - 3 \cdot x_1 + 1 \cdot x_0.$$

Таблиця 2

Двійково-десяткові коди десятикових цифр.

N_{10}	Код 8421	Код 7421	Код 5421	Код Айке на 2421	Код 3321	Код N+3)	Доп. до 9 (9-N) 8421	Доп. до 10	Код 3N+2 (8421)	Код «2 з 5»	ДДК 5211	ДДК 5121	ДДК 4221	ДДК 8421 +6	Код Грея	Код Джонс она.	ДДК 53- 21	ДДК 75- 31
0	0000	0000	0000	0000	0000	0011	1001	1010	00010	00000	0000	0000	0000	0110	0000	00000	0000	0000
1	0001	0001	0001	0001	0001	0100	1000	1001	00101	00011	0001	0001	0001	0111	0001	10000	0001	0001
2	0010	0010	0010	0010	0010	0101	0111	1000	01000	00101	0100	0010	0010	1000	0011	11000	0111	0110
3	0011	0011	0011	0011	0100 1000	0110	0110	0111	01011	00110	0101	0011	0011	1001	0010	11100	1010	0111
4	0100	0100	0100	0100	1001 0101	0111	0101	0110	01110	01001	0111	0111	1000	1010	0110	11110	0101	1010
5	0101	0101	1000 0101	1011	0110 1010	1000	0100	0101	10001	01010	1000	1000	1001	1011	0111	11111	1000	0100
6	0110	0110	0110 1001	1100	0110 1011	1001	0011	0100	10100	01100	1001	1001	1010	1100	1001	01111	1001	0101
7	0111	1000 0111	0111 1010	1101	1101	1010	0010	0011	10111	10001	1100	1010	1011	1101	0100	00111	1111	1000
8	1000	1001	1011	1110	1110	1011	0001	0010	11010	10010	1101	1011	1110	1110	1100	00011	1100	1001
9	1001	1010	1100	1111	1111	1100	0000	0001	11101	10100	1111	1111	1111	1101	00001	1101	1110	

Коди 3N+2 (8421), "2 з 5" та код Джонсона вимагають 5-розрядного вихідного коду.

Особливістю кода Грея (рефлексного) є те, що при переході до кожної наступної кодової комбінації в коді змінюється значення тільки одного двійкового розряду. У коді Джонсона перехід до наступної кодової комбінації здійснюється шляхом послідовної заміни нулів на одиниці, починаючи від правого розряду, до заповнення всіх розрядів одиницями, а потім заміною одиниць на нулі до заповнення всіх розрядів нулями. Коди з доповненням до 9, 10 "з надлишком 3" та "з надлишком 9" використовують для додавання і віднімання двійково-десяткових чисел. Практично всі системи кодування числових даних мають за мету надання зображенням чисел спеціальних властивостей.

Двійкові зображення десятичних цифр в перелічених кодових системах наведені в табл. 2.

Взагалі для побудови будь-яких перетворювачів кодів користуються одним з двох наступних методів: 1) перетворення вихідного двійкового коду в десятичний і подальше перетворення десятичного подання в необхідний двійковий код; 2) синтез логічного пристрою комбінаційного типу, що безпосередньо реалізує потрібне перетворення, тобто транскодера. Саме в цьому полягає завдання курсової роботи.

3. Перелік задач курсової роботи.

Робота транскодера, вхідного та вихідного регістрів, лічильників, запам'ятовуючих елементів в часі узгоджується синхрогенератором G1. Початок роботи пристрою здійснюється натисканням кнопки "Пуск" старт-стопного пристрою, яка формує сигнал встановлення (скидання) всіх компонентів в початковий стан, який визначає автор. Останов роботи транскодера здійснюється автоматично після передачі результату перетворення на вихідні знакосинтезуючі індикатори.

У процесі виконання роботи необхідно розв'язати наступні задачі.

1. Розробити структурну схему транскодера, в якій передбачити вхідний пристрій для формування НДК, що підлягає перетворенню, вхідний та вихідний регістри пам'яті для збереження відповідних кодів, сам перетворювач кодів, пристрої керування

запуском та зупинкою роботи, синхрогенератор та розподільювач синхроімпульсів, засоби індикації вхідних сигналів та результатів перетворення. В другому пункті роботи обґрунтувати та навести структурну схему транскодера та описати її роботу.

Вхідний пристрій на перемикальних контактах повинен забезпечувати взаємно незалежне формування вхідного двійкового коду з таблиці 2 шляхом натискання кнопок в кожному двійковому розряді вхідного слова.

2. Визначити кількість та заповнити таблиці істинності для функцій перетворення вхідного двійкового коду у вказаний вихідний код. Оскільки для деяких систем кодування можливі неоднозначні комбінації представлення результату, то для визначеності можна прийняти до уваги тільки одне з двох можливих значень вихідного коду, що і зазначається у пояснювальній записці.

3. Мінімізувати отримані ДДНФ (ДКНФ) одним з відомих методів (Квайна Мак-Класкі, комбінаторним, за допомогою карт Карно) [6]. Максимально зменшити складність тупікових ДНФ (КНФ) шляхом перетворення їх до дужкової форми. Визначити складність S отриманої логічної функції. Складністю S булевої функції називається кількість булевих аргументів у формулі функції.

4. Вибрати елементний базис (серію інтегральних мікросхем - ІМС) для реалізації транскодера, враховуючи наявність в складі обраної серії ІМС багатовходових логічних елементів (ЛЕ) для виконання операцій "І", "АБО" та їх комбінацій [2, 3, 4, 7]. Функція представляється у вигляді суперпозиції (сукупності з'єднаних) елементарних логічних операторів, кожний з яких виконується відповідним логічним елементом (ЛЕ) із вибраного базису.

5. Синтезувати логічну схему транскодера і його УГП з врахуванням розрядності інформаційних (вхідних та вихідних) і керуючих сигналів. Входи логічних елементів, що з'єднані з входами перетворювача, позначають буквами вхідного алфавіту x_i ($i=0,1,2,3,\dots$). Виходи ЛЕ, що є входами наступних елементів транскодера, позначають буквами внутрішнього алфавіту y_j ($j=1,2,3,\dots$), вихідні сигнали схеми позначають буквами вихідного алфавіту z_l ($l=0, 1, 2, 3,\dots$). Таким чином логічна схема, що здійснює формування першого вихідного сигналу z_0 транскодера, представляється одновихідною мережею ЛЕ, кожний з яких виконує елементарну логічну функції, що записана в термінах його входів.

6. Виконати, в разі потреби, факторизацію синтезованої логічної схеми транскодера у відповідності з [12, 14]. Логічні мікросхеми мають обмежену наванта-жувальну здатність і кількість входів та виходів. Тому перед синтезом логічного пристрою необхідно врахувати ці обмеження – факторизувати логічний вираз, тобто пристосувати його до фактичних можливостей існуючого елементного базису. Для факторизації входів використовуються коефіцієнт навантажуваності k_n , та – коефіцієнт розгалуження k_p виходів. Процес факторизації формалізується за допомогою таблиці імплікант $\phi_1, \phi_2, \dots, \phi_n$, які покривають логічну функцію. Логічна функція при цьому представляється у диз'юнктивній нормальній формі. Факторизація виходів логічної функції з n змінними полягає у заповненні таблиці, яка складається з $2n$ стовпчиків – для змінних і їх інверсій, а також m рядків для імплікант. В побудовану таблицю, на перетині імпліканти і логічної змінної ставиться позначка, за умови, що змінна входить до даної імпліканти. При заданому коефіцієнті k_n факторизації підлягають джерела змінних, які мають більше, ніж k_n виходів. Визначення цих змінних полягає у підрахунку позначок в кожному стовпчику таблиці. Якщо сума позначок у стовпчику більша ніж k_n , тобто дане джерело сигналу навантажено на більшу, ніж допустимо кількість отримувачів сигналу, то змінна підлягає факторизації. Ці стовпчики відповідають додатковим вентилям, які повинні бути зв'язані з джерелом цієї змінної. Для врахування цих зв'язків додати до таблиці відповідну кількість рядків і стовпчиків і записати до них додаткові імпліканти для змінної, яка факторизується. Факторизація входів при заданому коефіцієнті розгалуження k_p здійснюється аналогічно розподіленню надлишкових одиниць по додаткових рядках.

7. Визначити можливу швидкодію пристрою. Для цього виконати ранжування схеми транскодера [9], визначити максимальну затримку розповсюдження сигналів перетворення від входів x_i до кожного з виходів z_j . Максимальна затримка визначає найбільшу допустиму частоту роботи синхрогенератора і максимально досягну швидкодію транскодера. Це дає підстави обґрунтувати частоту необхідних синхроімпульсів та розробити схему синхрогенератора з обраного базису.

8. Коректна обробка інформації цифровими пристроями можлива тільки при забезпеченні нормальних часових параметрів роботи схеми, які забезпечують завершення перехідних процесів в

усіх елементах схеми, коли сигнали набудуть встановлених значень, визначених відповідними логічними рівняннями.

Внаслідок різної тривалості перехідних процесів в паралельних ланцюгах можлива неодночасна обробка декількох цифрових сигналів, що може привести до появи так званих "критичних змагань" або гонок в схемі [13].

З підвищенням складності цифрових схем поява місцевих та загальних зв'язків у них призводить до того, що аналізувати і враховувати гонки в таких схемах стає практично неможливо. Радикальним вирішенням проблеми гонок і коректності обробки двійкових сигналів є синхронізація. У практиці побудови систем синхронізації використовуються однофазна і багаточастотна синхронізація, одночастотна і багаточастотна.

Тому одним із завдань є розробка схеми синхронізації роботи функціональних вузлів транскодера. Доцільно, щоб схема синхронізації складалася з двох компонентів: генератора тактових імпульсів (ГТІ) та синхронізатора, тобто розподільвача синхроімпульсів по компонентах схеми, що забезпечує необхідну послідовність виконання функцій обробки. В якості розподільвача синхроімпульсів (синхронізатора) може бути використаний кільцевий лічильник або регістр зсуву на 2 – 3 розряди, в якому надходження кожного наступного тактового імпульсу приводить до переміщення сигналу «1» з одного розряду лічильника до іншого. Приклади генераторів синхросигналів та синхронізаторів наведені в [13, 19, 20]. При описі синхрогенератора необхідно навести розрахунок частоти генерованих імпульсів, період повторення яких повинен бути не менше, чим найбільший час затримки розповсюдження сигналів транскодера.

9. Запам'ятовуючі пристрої транскодера призначені для зберігання вхідного та вихідного кодів на час перетворення та індикації. Вони можуть бути виконані на основі лінійки тригерів або на основі мікросхем регістрів з обраних серій. Розрядність запам'ятовуючих пристроїв залежить від розрядності вхідних та вихідних кодів транскодера.

10. Після розв'язання попередніх задач необхідно розробити функціональну схему транскодера на основі наявних у вибраній серії мікросхем та описати логіку його роботи. При цьому вказується розрядність використаних запам'ятовуючих пристроїв, частота сигналів синхронізації, часові діаграми роботи ГТІ, синхронізатора,

схеми скидання в початковий стан та старт-стопний пристрій. У функціональній схемі повинні бути присутніми і описаними наступні компоненти: пристрій уведення вхідного двійкового коду, запам'ятовуючі пристрої, сам транскодер, схема синхронізації та синхронізатор, схема скидання в початковий стан, кнопка "Пуск" для запуску процесу перетворення, старт-стопний пристрій та пристрій відображення результату перетворення – цифровий індикатор. До функціональної схеми додається її опис та перелік елементів у відповідності з [1].

11. Розробка принципової схеми перетворювача полягає у визначенні необхідних мікросхем з обраного базису для реалізації функціональної схеми та розробки схеми їх з'єднань з використанням буквено-цифрових позначень елементів, вказанням номерів їх виводів, що використовуються для передачі сигналів між ними, а також сигналів керування та синхронізації. В результаті необхідно скласти перелік елементів схеми та зобразити принципову схему. При цьому треба максимально використовувати функціональні можливості включених до принципової схеми електронних компонентів.

Для розробки схеми старт-стопного пристрою часто використовують кільцевий лічильник [22] на 2 - 3 розряди, вихідний сигнал якого спричиняє зупинку процесу перетворення.

4. Вимоги до змісту та оформлення роботи

Робота має складатись з пояснювальної записки та графічної частини.

Пояснювальна записка загальним обсягом до 30 сторінок тексту у відповідності до вимог [1,2] і повинна містити:

- титульний аркуш з вказанням назви роботи, номера навчальної групи, ПІБ студента, посади та ПІБ керівника;
- технічне завдання з календарним планом виконання роботи;
- Зміст;
- Вступ.
- Розділ 1 Завдання курсової роботи.
- Розділ 2 Структурна схема транскодера.
- Розділ 3 Елементна база транскодера.
- Розділ 4 Часові параметри та функціональна схема.
- Розділ 5 Принципова схема транскодера.

- Висновки.
- Список використаної літератури.

Графічна частина виконується на листах формату А4 у відповідності до [2, 11, 14] і містить наступні креслення:

- 1) Схема електрична структурна.
- 2) Схема електрична функціональна.
- 3) Схема електрична принципова.
- 4) Перелік елементів схеми електричної принципової.

Стандарти щодо оформлення графічної частини наведені у [2], а приклади у [14, 15, 17, 21].

Кожній схемі присвоюється позначення як самостійному конструкторському документу (наприклад, АКОТ.ХХХХХХ.УZZЭЗ, АКОТ.ХХХХХХ.УNNЭ1, де: АКОТ – ННІ автоматики, кібернетики та обчислювальної техніки; ХХХХХХ – номер залікової книжки, У – тип роботи: Б – бакалаврська, М – магістерська, К – курсова; NN – номер варіанта завдання на проект (роботу).

5. Вибір елементної бази

В результаті синтезу логічної схеми комбінаційного пристрою отримується логічна мережа. Для вибору типів та переліку логічних елементів для реалізації синтезованої комбінаційної схеми необхідно скористатись довідниковою літературою, наприклад [1.]. Найбільш популярними серіями мікросхем для пристроїв середньої швидкодії є мікросхеми таких серій: К155, К555, КМ555, К531, КР1533, КР1531 [4, 5, 6, 7, 8], які, як правило, використовуються сумісно в одному пристрої. При відсутності певного типу мікросхеми в одній серії допускається суміщення в одному пристрої мікросхем з інших серій, для яких параметри входних та вихідних сигналів співпадають. Таке суміщення мікросхем декількох серій з певними обмеженнями може використовуватись в цифрових пристроях з дотриманням рекомендацій технічної літератури. Назву серії мікросхем для реалізації синтезованого комбінаційного пристрою визначає викладач під час видачі завдання на курсову роботу.

З довідникової літератури студент вибирає номенклатуру та кількість використаних в роботі мікросхем, замальовує функційне призначення, розташування та нумерацію їх виводів, електричні статичні та динамічні параметри. В разі потреби використовує

мікросхеми сумісних серій. Опис використаних мікросхем наводиться в розділі "Елементна база пристрою".

6. Ранжування синтезованої схеми

Мережу логічних елементів (логічну мережу), що представляє комбінаційний пристрій, називають правильною, якщо ніякі два виходи елементів не з'єднані між собою і якщо кожна з k функцій, що реалізуються на виходних полюсах мережі, можна представити як булеву функцію вхідних змінних, що співставлені n вхідним полюсам мережі. В загальному випадку логічній мережі відповідає орієнтований граф, вершинам якого відповідають логічні елементи, вхідні та вихідні полюси мережі і вузли розгалужень, а напрямленим дугам - з'єднання мережі.

Час обробки вхідних сигналів логічною мережею прямо залежить від швидкості перехідних процесів в усіх її елементах. В свою чергу швидкість перехідних процесів залежить від кількості послідовно з'єднаних елементів мережі, по яких розповсюджується сигнал на шляху від входних до виходних полюсів. Кожний з елементів вносить свою затримку t_3 в розповсюдження вхідних сигналів, а сумарна затримка розповсюдження визначається як сума затримок всіх елементів послідовного ланцюжка між входами та виходами мережі. Для коректної обробки двійкової інформації зміна вхідних сигналів не повинна відбуватись раніше, чим завершиться обробка попередньої вхідної комбінації, тобто тільки після завершення всіх перехідних процесів внаслідок дії попереднього вхідного набору. Саме тому максимальна кількість послідовно розташованих логічних елементів (ЛЕ) між входами і виходами логічної схеми (ранг схеми) визначає можливу швидкість (частоту) зміни вхідних сигналів, а значить і швидкодію логічної схеми.

Для визначення сумарної затримки розповсюдження сигналів елементи логічної мережі без зворотніх зв'язків можуть бути впорядковані наступним чином [6].

Перенумерувати спочатку в довільному порядку вхідні полюси мережі і віднести їх до нульового рангу. Наступними перенумерувати також в довільному порядку елементи мережі, всі входи яких з'єднані лише з вхідними полюсами мережі. Всі такі елементи віднести до елементів першого рангу. Подібним чином виконати нумерацію елементів, входи яких обов'язково з'єднані з виходами елементів першого рангу і, можливо, з вхідними полюсами. Такі ЛЕ віднести до елементів другого рангу L2. Входами елементів j-го рангу обов'язково є виходи елементів (j-1)-го рангу і, можливо, вхідні полюси та виходи елементів рангів, менших за j-1. Вказана процедура впорядкування (ранжування) мережі завершується, коли всі елементи мережі будуть перенумеровані та їм буде

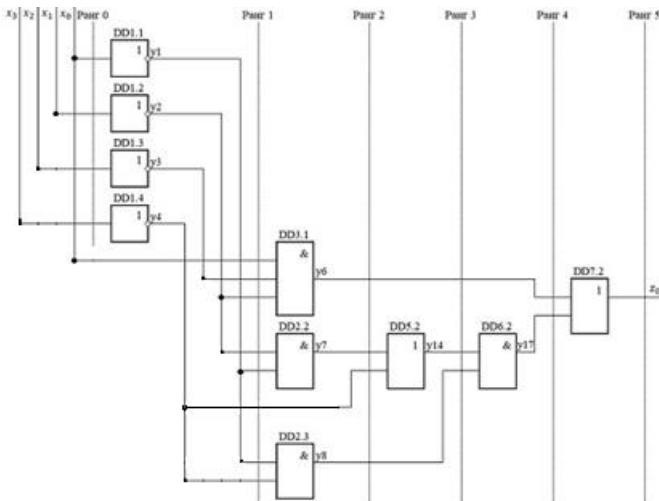


Рис.1. Фрагмент ранжированої комбінаційної схеми.

привласнений певний ранг. Наприклад, на Рис.1 зображено фрагмент мережі 6-го рангу. Кількість рангів мережі називають також глибиною схеми, яка є основою для розрахунку показників її швидкодії, тобто часових параметрів роботи.

7. Розрахунок часових параметрів.

Швидкодія комбінаційного пристрою залежить від швидкодії елементної бази, яка використовується в пристрої, а також від глибини схеми, тобто від кількості послідовно включених ЛЕ між її

вхідними та вихідними полюсами. Затримка розповсюдження сигналів в схемі визначається як сума затримок всіх логічних елементів, в яких обробляється сигнал під час проходження від вхідного полюса X_i до вихідного полюса Z_j . Наприклад, вхідний сигнал x_1 в схемі (Рис. 1) послідовно обробляється елементом DD1.2 і на виході першого рангу схеми з'являється через час затримки ($t_{1,2}$), на виході у7 елемента DD2.2 (2 ранг) оброблений сигнал отримується ще через час $t_{2,2}$, на виході елемента DD5.2 в третьому ранзі відбудеться затримка ще на час $t_{5,2}$, на елементі DD6.2 оброблений сигнал затримується ще на час $t_{6,2}$, і нарешті на виході диз'юнктора DD7.2 вихідний сигнал z_0 встановиться через час $t_{7,2}$. Таким чином, на виході z_0 транскодера вихідний сигнал прийме очікуване значення через час $t_{3,0}=t_{1,2}+t_{2,2}+t_{5,2}+t_{6,2}+t_{7,2}$, після зміни вхідного сигналу x_1 , коли завершаться всі перехідні процеси в розряді z_0 транскодера. Тобто схема витрачає на обробку сигналу x_1 сумарний час.

$$t_{3,0}=t_{1,2}+t_{2,2}+t_{5,2}+t_{6,2}+t_{7,2}. \quad (2)$$

До завершення цього часу наступний вхідний сигнал може оброблятися некоректно, тому його можна подавати на входи тільки через час не менше $t_{3,0}$. Тому максимальна частота надходження вхідних сигналів, тобто швидкодія схеми, визначається з відомого співвідношення:

$$f \leq 1/t_{3, \text{макс}}. \quad (3)$$

Якщо у синтезованому пристрої є декілька вихідних сигналів, треба на оснві динамічних (часових) параметрів мікросхем вибраного базису порахувати затримку розповсюдження сигналу в ланцюжку з максимальним рангом t_3 . Отримане значення підставити у формулу (3) і визначити допустиму робочу частоту синтезованого пристрою.

Раніше завершення перехідних процесів в самому довгому ланцюгу між входами та виходами для кожної вхідної комбінації подавати наступний вхідний код неможливо. Тому розрахунок затримки розповсюдження проводиться для кожного виходу комбінаційної частини як сума затримок в усіх рангах розробленої схеми $T_3 = t_1+t_2+\dots+t_r$, де r – максимальний ранг схеми. Значення затримок розповсюдження для кожного елемента вибирається з довідникової літератури [4, 5, 6, 7,8].

8. Пристрій синхронізації

Пристрій синхронізації схеми транскодера повинен забезпечити роздільну в часі обробку вхідного коду структурними компонентами транскодера, серед яких є вхідний регістр, перетворювач вхідного коду у вихідний, тобто власне транскодер, вихідний регістр разом з пристроєм індикації.

Тому пристрій синхронізації повинен містити синхрогенератор та розподілювач синхроімпульсів.

Призначенням синхрогенератора є генерація синхросигналів з частотою, при якій забезпечується однозначне перетворення вхідного коду у вихідний з максимально можливою швидкодією. Розподілювач синхроімпульсів призначений для почергової передачі синхроімпульсів пристроям обробки інформації починаючи від входів в сторону вихідного регістру індикації.

Найбільш гнучкий спосіб забезпечення високої швидкодії при наявності комбінаційних схем з великою затримкою – це використання багатофазних схем синхронізації, які використовуються у швидкодіючих пристроях [13]. У залежності від величини конкретної затримки кожної комбінаційної схеми, на С-входи пристроїв пам'яті можливо заводити різні фази синхронізації і, відповідно, відкривати тригери-приймачі з затримкою на інтервали часу, кратні ТФ (ТФ , 2ТФ ,3ТФ,...) відносно тієї фази, яка синхронізує передавач інформації. Недопустимо тільки синхронізувати тригери-приймачі синхросигналом тієї фази, якою синхронізувалися тригери-передавачі даної комбінаційної схеми. Розглянутий спосіб широко використовується на практиці, адже він дає також можливість зменшити неробочі інтервали комбінаційних схем, що мають місце при очікуванні синхросигналу.

Опис приципової схеми має містити опис та розрахунок частоти ГТІ, принцип роботи синхронізатора та параметри синхроімпульсів на синхронізовані компоненти транскодера.

Література

1. ДСТУ 3008:2015 Звіти у сфері науки і техніки. Структура та правила оформлювання. Київ, ДП "УкрНДНЦ". 2016.
2. ДСТУ ГОСТ 2.702:2013 ЄСКД. Єдина система конструкторської документації. Правила виконання електричних схем.
3. Рябенький В. М. Цифрова схемотехніка: навчальний посібник. Львів : Новий Світ, 2000, 2009. 736 с.
4. В.Л. Шило Популярные цифровые макросхемы. Справочник. М. : Радио и связь, 1987. 352 с.
5. Интегральные микросхемы. Справочник / Б. Б. Тарабрин, Л. Ф. Лунин и др. Под ред. Б. В. Тарабрина. М. : Радио и связь, 1983. 528 с.
6. ЦЕОМ. Интегральні мікросхеми серії КР1533. URL: <https://www.qrz.ru/-reference/kozak/ttl/ttlh06.shtml>
7. Сайт ksm.nau.edu.ua/architectura/files/ims1533.pdf
8. Микросхеми сериї ТТЛ. lib.qrz.ru/book/export/html/5105
9. Основы технической диагностики. В 2-х книгах. Кн.1. Модели объектов, методы и алгоритмы диагноза / Под ред. П. П. Пархоменко. М., Энергия. 1976. 464 с.
10. Триполитов С. В., Ермилов А. В. Микросхеми, діоди, транзистори : справочник. М. : Машиностроение, 1994. 381 с.
11. Методичні вказівки до виконання гідравлічних, пневматичних та електричних принципівих схем в курсових і дипломних проектах для студентів спеціальності 136 "Металургія" денної та заочної форм навчання / Укл.: В. І. Гонтаренко, Е. А. Бажміна, Г. А. Бялік. Запоріжжя : ЗНТУ, 2016. 46 с.
12. <http://ep3.nuwm.edu.ua/id/eprint/7326>
13. Кривуля Г. Ф., Рябенький В. М., Буряк В. С. Схемотехніка : навч. посібник. Харків : ТОВ "Компанія СМІТ". 2007. 250 с.
14. [https://besthomemaster.com/8075823-](https://besthomemaster.com/8075823-ksm.nau.edu.ua/shemotehnika/files/kp-dz-rgr.pdf)
15. ksm.nau.edu.ua/shemotehnika/files/kp-dz-rgr.pdf
16. Цифрова та імпульсна схемотехніка. Моделювання та аналіз. Електронний навчальний посібник / В. В. Макаренко, В. М. Співак. К. : НТУУ "КПІ", 2015. 314 с.
17. Оформлення графічних документів конструкторської документації: Методичні вказівки до самостійної роботи студентів напрямів 6.050601 "Теплоенергетика", 6.050603 "Атомна енергетика", 6.050604 "Енергомашинобудування" /

Уклад.: В. О. Чернобай, В. І. Мариненко. К. : НТУУ «КПІ», 2009. 58 с.

18. <http://ep3.nuwm.edu.ua/id/eprint/17286>

19. ela.kpi.ua > [bitstream](#) > СТ том 1 електронне видання.

20. Угрюмов Цифровая схемотехника : учеб. пособие для вузов. 2-е изд., перерабю и доп. СПб.:БХВ-Петербург, 2007. 800 с.

21. Кормановський С. І. Комп'ютерна графіка та моделювання. Графічні зображення схем : практикум / С. І. Кормановський, О. М. Козачко, О. В. Слободянюк. Вінниця : ВНТУ, 2010. 111 с.

22. Цифрова та імпульсна схемотехніка. Моделювання та аналіз. Електронний навчальний посібник / В. В. Макаренко, В. М. Співак. К. : НТУУ "КПІ", 2015. 314 с. іл.