Міністерство освіти і науки України

Національний університет водного господарства та природокористування

Кафедра обчислювальної техніки

04-04-247М

МЕТОДИЧНІ ВКАЗІВКИ

до виконання лабораторних робіт з навчальної дисципліни
«Комп’ютерна логіка»
для здобувачів вищої освіти першого (бакалаврського) рівня за ООП «Комп’ютерна інженерія»
спеціальності 123 «Комп’ютерна інженерія»
денної та заочної форм навчання.
Частина 2 «Комп’ютерна схемотехніка»

Рівне – 2022

Методичні вказівки до лабораторних робіт з навчальної дисципліни «Комп'ютерна логіка» (Частина 2. «Комп'ютерна схемотехніка») для здобувачів вищої освіти першого (бакалаврського) рівня за ООП «Комп'ютерна інженерія» спеціальності 123 «Комп'ютерна інженерія» денної та заочної форм навчання [Електронне видання] / Соломко М. Т. – Рівне : НУВГП. – 59 с.

Укладач: Соломко М. Т., доцент кафедри обчислювальної техніки.

Відповідальний за випуск: Круліковський Б. Б., к.т.н., доцент, завідувач кафедри обчислювальної техніки.

Керівник групи забезпечення
спеціальності «Комп'ютерна інженерія» Круліковський Б. Б.

Схвалено на засіданні кафедри обчислювальної техніки.
Протокол від 04.06.2022 року № 9.

© М. Т. Соломко, 2022
©НУВГП, 2022

ЗМІСТ

Вступ 4
1. Загальні методичні вказівки 5
2. Опис программного забезпечення для проведення лабораторних робіт.....7
3. Лабораторна робота №1. Логіка чверть суматора і напівсуматора 7
4. Лабораторна робота №2. Логіка повного 1-розрядного суматора..... 10
5. Лабораторна робота №3 Логіка 4-розрядного паралельного суматора з послідовним перенесенням.....14
6. Лабораторна робота №4 Логіка тригерів.....17
7. Лабораторна робота №5 Логіка регістрів збереження та зсуву.....26
8. Лабораторна робота №6 Логіка послідовного суматора.....32
9. Лабораторна робота №7 Логіка напіввіднімача та повного віднімача.....34
10. Лабораторна робота №8 Логіка 4-розрядного паралельного віднімача додатних двійкових чисел.....39
11. Лабораторна робота №9 Пристрої кодування. Шифратори і дешифратори.....43
11. Лабораторна робота №10 Цифровий мультиплексор і демультиплексор.....51
11. Лабораторна робота №11 Арифметико-логічний пристрій..57

Вступ

Навчальна дисципліна «Комп’ютерна логіка» є базовою для студентів спеціальності 123 "Комп’ютерна інженерія" і тому вимагає ретельного вивчення на лабораторних та лекційних заняттях з впровадженням сучасних технологій навчання, максимально наближених до реальних технічних засобів обробки двійкових даних. Її вивчення призване сформувати у студентів здатність до аналізу логічного функціонування обчислювальних компонентів для їхнього проектування та наступним виготовленням, визначення їх працездатності з метою прийняття рішень про їх технічний стан і здатність забезпечити покладену на них функцію.

Апарат булевої алгебри розповсюджується на об’єкти самої різної природи без відношення до їх суті. Головне, щоб вони характеризувалися двома значеннями або станами: контакт включений або виключений, наявність високого або низького рівня електричної напруги, виконання або невиконання деякої умови роботи тощо.

Використання апарату алгебри логіки у комп’ютерній техніці базується на тому, що цифрові елементи характеризуються двома станами і завдяки цьому можуть бути описані булевими функціями. Стандарт ДСТУ 2533-94 «Арифметичні і логічні операції. Терміни і визначення» конкретизував основні поняття булевої алгебри у системах обробки інформації.

Друга частина лабораторного циклу (11 лабораторних робіт) присвячена вивченню технології побудови логічних схем цифрових компонентів за заданою таблицею істинності, булевою функцією, систем булевих функцій, верифікації отриманих логічних схем на відповідність таблиці істинності. Для кожної лабораторної роботи вказано порядок підготовки, методика досліджень, інформаційний зміст, який має бути у звіті з лабораторної роботи, а також наведено орієнтовний перелік контролюючих запитань для перевірки засвоєних знань.

Дослідження технології побудови логічних схем цифрових компонентів забезпечує підготовку студентів до розуміння принципів роботи цифрових пристроїв, що має вивчатися у другій частині лабораторних робіт з комп'ютерної логіки.

1. Загальні методичні вказівки

Перед початком першого заняття викладач проводить інструктаж з техніки безпеки у даній лабораторії і правилами протипожежної безпеки при роботі з електричними колами, приладами, й лабораторними стендами. Кожен студент повинен самостійно вивчити перераховані документи і розписом у спеціальному журналі кафедри засвідчити своє ознайомлення з правилами і заходами безпечного виконання робіт у лабораторії.

На першому занятті викладач повідомляє студентам план лабораторних занять на поточний семестр, рекомендує їм необхідну літературу, знайомить із прийнятою методикою підготовки, виконання, а також з порядком захисту звітів з виконаних лабораторних роботах.

Виконання кожної лабораторної роботи складається з трьох етапів:

1. Підготовка до лабораторної роботи, вивчення теоретичного матеріалу, підготовка заготовки звіту з описом назви, мети, досліджуваними схемами та переліком запланованих досліджень роботи, заготовками таблиць для запису експериментальних даних. Перевірку готовності до виконання лабораторної роботи студенти проходять перед її початком. При цьому перевіряється знання досліджуваної моделі цифрової компоненти, її призначення, вхідні та вихідні сигнали, основні параметри та характеристик. У випадку незадовільної підготовки студенти не допускаються до проведення лабораторної роботи. У процесі підготовки до лабораторної роботи студент повинен чітко усвідомити мету

лабораторного дослідження, представлену функцію досліджуваного пристрою, характер зміни вхідних та вихідних сигналів.

2. Виконання роботи після отримання допуску студентом розпочинається із складання досліджуваної схеми у відповідності із ходом роботи.

3. Оформлення звіту з лабораторної роботи здійснюється в домашніх умовах. Звіт, крім попередніх даних, повинен містити результати виконання лабораторної роботи: таблиці істинності, аналіз і порівняння отриманих результатів з теоретичними, пояснення їх відмінностей (при наявності).

Порядок, виконання досліджень у лабораторії:

1. Студент допускається до виконання чергової лабораторної роботи при наявності підготовленої до поточного заняття заготовки та при відсутності незданих звітів з попередніх робіт (2 і більше).

2. Після дозволу виконувати дослідження студент створює логічну схему і самостійно налаштовує її логічний функціонал. У випадку, якщо схема не працює або працює неправильно, він має знайти причину неправильної роботи схеми й усунути її.

3. Налаштувавши логічну схему і перевіривши відповідність її вихідних сигналів розрахунковим даним, студент запрошує викладача для огляду і перевірки.

4. Після цього виконуються намічені дослідження, по закінченню яких результати пред'являються викладачеві.

5. В протокол поточної роботи заносяться результати, що отримані студентом на занятті, підписуються викладачем, якщо дослідження виконані у повному обсязі. За отриманими даними оформляється остаточний звіт з роботи.

6. До наступної лабораторної роботи остаточно оформляється протокол і пред'являється викладачеві на наступному занятті для захисту.

7. Протоколи всіх робіт зберігаються у студента до виконання всього лабораторного циклу та використовуються для підготовки до екзамену.

2. Опис програмного забезпечення для проведення лабораторних робіт .

Роботи № 1 - № 11 проводиться в електронній таблиці MS Excel 16.0 або вищої версії та у текстовому процесорі MS Word 16.0 або вищої версії.

Лабораторна робота №1

Логіка чверть суматора і напівсуматора

1. Мета роботи

- навчитися виконувати додавання чисел на двійковому чверть суматорі та напівсуматорі.

1. Завдання та порядок виконання роботи

1. Вивчити навчальний матеріал.
2. Підготовити відповіді на контрольні питання.
3. Проаналізувати таблиці істинності чверть суматора та напівсуматора.
4. Здійснити перевірку роботи побудованих схем чверть суматора і напівсуматора у відповідності з таблицями істинності чверть суматора і напівсуматора.

Контрольні питання

1. Який вигляд мають таблиці істинності чверть суматора та напівсуматора?

2 У чому полягає різниця між таблицями істинності чверть суматора та напівсуматора?

3. Який вигляд має логічна операція «додавання за модулем два»

4. Яке призначення чверть суматора?

5. При яких умовах необхідно переносити одиницю до старшого розряду?

6. Яке призначення напівсуматора?

Зміст звіту

1. Назва лабораторної роботи та її мета.

2. Короткі теоретичні відомості та відповіді на контрольні питання.

3. Пояснити відмінності роботи чверть суматором та напівсуматора.

4. Висновки.

2. Теоретичні відомості

Суматор – вузол комп'ютера, призначений для додавання двійкових чисел. Побудова двійкових суматорів зазвичай починається з суматора за модулем 2 (чверть суматора).

Суматор за модулем 2 (чверть суматор) або схема обчислення за модулем 2 збігається зі схемою виключаюче «АБО».

На основі правил двійкової арифметики можна записати правила додавання двійкових цифр так, як це показано в таблиці 1.1, де a_i, b_i – розряди операторів A і B відповідно; c_i – розряд суми; Π_i – значення біту перенесення з поточного розряду до наступного розряду.

Двійковий чверть суматор – пристрій, що виконує арифметичні дії за правилами, вказаними у таблиці 1.2.

Двійковий напівсуматор – пристрій, що виконує арифметичні дії за правилами, вказаними у таблиці 1.1.

Умовне позначення двійкових напівсуматора показано на рис. 1.1.

Таблиця 1.1 – Правила Таблиця 1.2 – Таблиця

додавання двійкових цифр (таблиця істинності напівсуматора)

a_i	b_i	c_i	Π_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

істинності чвертьсуматора

a_i	b_i	c_i
0	0	0
0	1	1
1	0	1
1	1	0

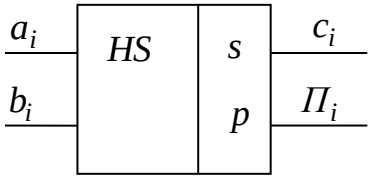

Рис.1.1 – Умовне графічне позначення двійкового напівсуматора

Завдання

1. В електронній таблиці MS Excel побудувати схему чверть суматора (рис. 1.2) і за допомогою його таблиці істинності перевірити правильність роботи схеми.

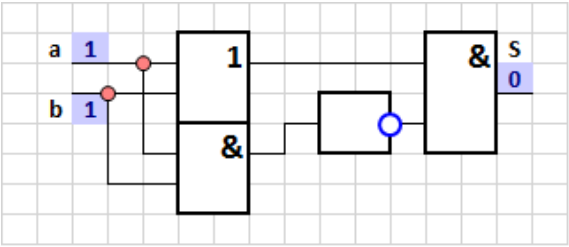

Рис. 1.2 – Схема чверть суматора

1. В електронній таблиці MS Excel побудувати схему напівсуматора (рис. 1.3) і за допомогою його таблиці істинності перевірити правильність роботи схеми.

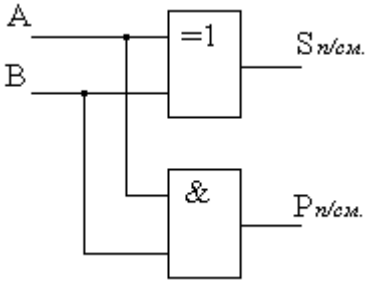

Рис. 1.3 – Схема напівсуматора

Література

1. Матвієнко М.П. Комп'ютерна логіка / М.П. Матвієнко. – К: Ліра-К, 2017. – 324 с. https://lira-k.com.ua/preview/12062.pdf

2. Жабін В. І., Жуков І. А.,. Клименко І. А, Ткаченко В. В. Прикладна теорія цифрових автоматів : навч. посіб. / П 759. – 2-ге вид., доопрац. – К.: Вид-во Нац. авіац. ун-ту «НАУ-друк», 2009. – 360 с.

http://programming.in.ua/programming/basisprogramming/329-zhabin-zhukov-klymenko-tkachenko-applied-theory-of-digital-devices.html

3. Дичка І.А., Тарасенко В. П., Онай М. В. Основи прикладної теорії цифрових автоматів : підручник. – Київ : КПІ ім. Ігоря Сікорського, Вид-во "Політехніка", 2019. – 508 с. https://ela.kpi.ua/handle/123456789/29295

Лабораторна робота № 2

Логіка повного 1-розрядного суматора

Мета роботи:

- навчитися виконувати додавання чисел на повному 1-розрядному двійковому суматорі.

1. Завдання та порядок виконання роботи

1. Вивчити навчальний матеріал.

2. Підготовити відповіді на контрольні питання.

3. Проаналізувати таблицю істинності повного 1-розрядного суматора.

4. Здійснити перевірку роботи побудованої схеми повного 1-розрядного суматора у відповідності з таблицею істинності повного 1-розрядного суматора.

Контрольні питання

1. Який вигляд має таблиця істинності повного 1-розрядного суматора?

2 У чому полягає різниця між таблицями істинності напівсуматора та повного 1-розрядного суматора?

3. Який вигляд має логічна операція «додавання за модулем два»

4. Яке призначення повного 1-розрядного суматора?

5. При яких умовах необхідно переносити одиницю до старшого розряду?

6. Що таке перенесення одиниці з молодшого розряду?

7. Які є логічні функції в електронній таблиці MS Exsel?

Зміст звіту

1. Назва лабораторної роботи та її мета.

2. Короткі теоретичні відомості та відповіді на контрольні питання.

3. Пояснити відмінності роботи напівсуматора та повного 1-розрядного суматора.

4. Висновки.

2. Теоретичні відомості

Поява одиниці перенесення з молодшого розряду при додаванні двох поточних розрядів дещо змінює правила додавання двійкових чисел (таблиця 2.1).

Таблиця 2.1 – Правила додавання двійкових цифр з врахуванням перенесення одиниці з молодшого розряду

a_i	b_i	Π_{i-1}	c_i	Π_i
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

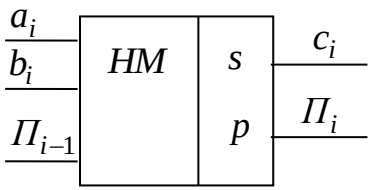

Рис. 2.1 – Умовне графічне позначення двійкового повного суматора

Узагальнюючи вищесказане, можна сформулювати правила порозрядних дій при додаванні операндів A та B:

$$a_i + b_i + \Pi_{i-1} = c_i + \Pi_i ,$$

де Π_{i-1} - перенесення з (i-1)-го розряду; Π_i - перенесення в (i+1)-ший розряд (переноси приймають значення 0 або 1).

Умовне позначення двійкового повного суматора показано на рис. 2.1.

Завдання

1. В електронній таблиці MS Excel побудувати схему повного 1-розрядного суматора (рис. 2.2) і за допомогою таблиці істинності повного суматора перевірити правильність роботи схеми на рис. 2.2.

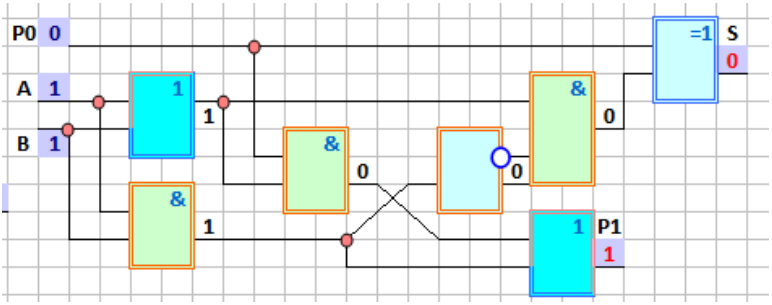

Рис. 2.2 – Схема повного суматора

Література

1. Матвієнко М.П. Комп'ютерна логіка / М.П. Матвієнко. – К: Ліра-К, 2017. – 324 с. https://lira-k.com.ua/preview/12062.pdf

2. Жабін В. І., Жуков І. А.,. Клименко І. А, Ткаченко В. В. Прикладна теорія цифрових автоматів : навч. посіб. / П 759. – 2-ге вид., доопрац. – К.: Вид-во Нац. авіац. ун-ту «НАУ-друк», 2009. – 360 с.

http://programming.in.ua/programming/basisprogramming/329-zhabin-zhukov-klymenko-tkachenko-applied-theory-of-digital-devices.html

3. Дичка І.А., Тарасенко В. П., Онай М. В. Основи прикладної теорії цифрових автоматів : підручник. – Київ : КПІ ім. Ігоря Сікорського, Вид-во "Політехніка", 2019. – 508 с.

https://ela.kpi.ua/handle/123456789/29295

Лабораторна робота № 3

Логіка 4-розрядного паралельного суматора з послідовним перенесенням

Мета роботи:

- навчитися виконувати додавання двійкових чисел на 4-розрядному паралельному суматорі з послідовним перенесенням.

1. Завдання та порядок виконання роботи

1. Вивчити навчальний матеріал.
2. Підготовити відповіді на контрольні питання.
3. Проаналізувати таблицю істинності 4-розрядного паралельного суматора з послідовним перенесенням.
4. Здійснити перевірку роботи побудованої схеми 4-розрядного паралельного суматора з послідовним перенесенням у відповідності з його таблицею істинності.

Контрольні питання

1. Який вигляд має таблиця істинності 4-розрядного паралельного суматора з послідовним перенесенням?

2 У чому полягає різниця між таблицями істинності повного 1-розрядного суматора та 4-розрядного паралельного суматора з послідовним перенесенням?

3. Які правила додавання 4-розрядних двійкових чисел
4. Яке призначення паралельного 4-розрядного суматора з послідовним понесенням?
5. При яких умовах додавання двійкових чисел необхідно переносити одиницю до старшого розряду?
6. Що таке перенесення одиниці з молодшого розряду?
7. Які є логічні функції в електронній таблиці MS Exsel?

Зміст звіту

1. Назва лабораторної роботи та її мета.

2. Короткі теоретичні відомості та відповіді на контрольні питання.

3. Пояснити відмінності роботи повного 1-розрядного суматора та 4-розрядного паралельного суматора з послідовним перенесенням.

4. Висновки.

2. Теоретичні відомості

Суматор будь-якої розрядності зазвичай будується на 1-розрядних повних суматорах, які мають три входи та два виходи. На входи подаються сигнали відповідних розрядів чисел, що додаються (ai, bi) і сигнал перенесення pi з попереднього, молодшого розряду з номером (i-1). На одному з виходів формується сума в даному розряді si, а на іншому виході формується перенесення до наступного розряду pi+1.

Схема збільшення розрядності суматора представлена на рис. 3.1.

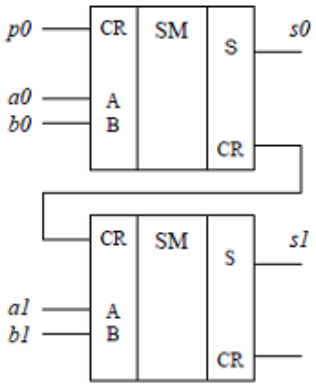

Рис. 3.1 – Схема збільшення розрядності суматора

Завдання

1. В електронній таблиці MS Excel побудувати схему паралельного 4-розрядного суматора (рис. 3.2) і за допомогою таблиці істинності 4-розрядного суматора перевірити правильність роботи схеми на рис. 3.2.

2. Пояснити роботу паралельного 4-розрядного суматора з послідовним перенесенням.

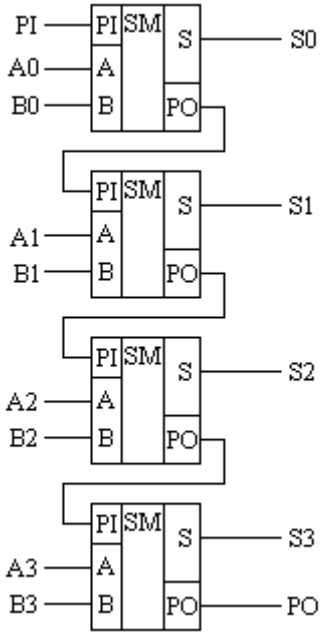

Рис. 3.2 – 4-розрядний паралельний суматор з послідовним перенесенням

Література

1. Матвієнко М.П. Комп'ютерна логіка / М.П. Матвієнко. – К: Ліра-К, 2017. – 324 с. https://lira-k.com.ua/preview/12062.pdf

2. Жабін В. І., Жуков І. А.,. Клименко І. А, Ткаченко В. В. Прикладна теорія цифрових автоматів : навч. посіб. / П 759. – 2-

ге вид., доопрац. – К.: Вид-во Нац. авіац. ун-ту «НАУ-друк», 2009. – 360 с.

http://programming.in.ua/programming/basisprogramming/329-zhabin-zhukov-klymenko-tkachenko-applied-theory-of-digital-devices.html

3. Дичка І.А., Тарасенко В. П., Онай М. В. Основи прикладної теорії цифрових автоматів : підручник. – Київ : КПІ ім. Ігоря Сікорського, Вид-во "Політехніка", 2019. – 508 с.

https://ela.kpi.ua/handle/123456789/29295

Лабораторна робота № 4

Логіка тригерів

Мета роботи:

- вивчення функціональних властивостей тригерів, експериментальне дослідження їх режимів роботи.

1. Завдання та порядок виконання роботи

1 Вивчити навчальний матеріал.

2 Підготовити відповіді на контрольні питання.

3. В електронній таблиці Excel побудувати функціональні схеми і досліджувати роботу тригерів типу RS, D, T в автономному статичному режимі формування інформаційних і синхронізуючих сигналів.

4. Побудувати таблиці істинності вказаних типів тригерів.

Контрольні питання

1. У чому відмінність комбінаційних і послідовних логічних пристроїв?

2. Які тригери називаються асинхронними, а які синхронними?

3. Чим викликана необхідність введення двох ступневості тригерів?

4. Які типи тригерів мають бути двоступінчастими?

5. Який тип тригерів називається "універсальним" і чому?

6. Який тип тригерів має заборонені комбінації вхідних сигналів і чому?

Зміст звіту

1. Номер роботи, її назва та мета.

2. Короткі теоретичні відомості та відповіді на контрольні питання.

3. Побудувати таблицю істинності D тригера.

4. Висновки.

2. Теоретичні відомості

Тригери - це прості представники цифрових пристроїв послідовного типу тобто пристроїв або автоматів, що мають пам'ять. Послідовні пристрою характеризуються певним числом внутрішніх станів. У кожен конкретний момент часу вони можуть знаходитися тільки в одному з можливих станів. Перехід пристрою з одного стану в інше здійснюється під дією зовнішніх сигналів управління. Проте, значення вихідного сигналу не можна визначити тільки за станом вхідних, оскільки воно залежить не лише від вхідної інформації, але і від попереднього стану пристрою.

Тригером називається пристрій здатний знаходитися в одному з двох стійких станів і стрибкоподібно переходити з одного в інший під дією зовнішніх сигналів управління. Ці стани тригера визначаються як стан 0 і стан 1. Тригер може знаходитися в будь-якому із станів необмежений проміжок часу, до вступу зовнішньої дії або відключення живлення.

Простий тригер є 1-розрядним елементом пам'яті. У загальному випадку він забезпечується певною вхідною комбінаційною схемою. Тригер забезпечується двома виходами:

прямим Q і інверсним $(\bar{Q})$. Стан сигналів на цих виходах може бути тільки протифазним. Говорячи про стан тригера мають на увазі значення вихідного сигналу на виході Q. За наявності рівня логічної 1 на прямому виході Q говорять, що: "тригер знаходиться в стані 1", або: "тригер встановлений", або "тригер зведений". За наявності ж на цьому виході логічного 0 оперують поняттями: "тригер знаходиться в стані 0", або: "тригер скинутий".

Існуючі типи тригерів можуть бути класифіковані за різними ознаками. Найчастіше тригери класифікують за типом використовуваних інформаційних входів. Розрізняють наступні типи основних інформаційних входів тригера :

R - роздільний вхід скидання тригера (Q=0);

S - роздільний вхід установки тригера (Q=1);

K - вхід скидання універсального тригера (Q=0);

J - вхід установки універсального тригера (Q=1);

T - рахунковий вхід тригера;

D - інформаційний вхід перемикання тригера в стан, відповідний логічному рівню на цьому вході;

C – вхід управління або синхронізуючий.

Окрім цих основних входів деякі тригери можуть забезпечуватися входом V. Вхід V блокує роботу тригера і він скільки завгодно довго може зберігати раніше записану в нього інформацію.

З точки зору типу використовуваних входів розрізняють RS -, D -, T -, JK -, VD -, VT - тригери.

За видом реакції на вхідні сигнали тригери підрозділяють на асинхронні і синхронні.

Асинхронний тригер змінює свій стан безпосередньо у момент зміни сигналу на його інформаційних входах. Синхронний тригер змінює свій стан лише в строго визначені (тактові) моменти часу, відповідні дії активного сигналу на його синхронізуючому вході C. УГП (умовне графічне позначення) асинхронного RS - тригера представлено на рисунку 4.1.

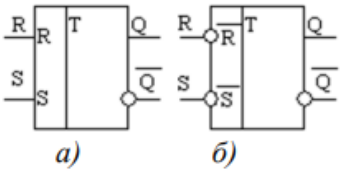

Рис. 4.1 - УГП асинхронного RS - тригера з прямими і інверсними входами

За видом активного логічного сигналу, діючого на синхронізуючому вході тригери підрозділяють на статичні - керовані рівнем, і динамічні - керовані перепадом вхідного сигналу. При цьому інформаційні входи можуть бути прямими і інверсними. Для перемикання тригера на його прямий вхід необхідно подати сигнал X, а на інверсний, сигнал $\overline{X}$.

Так, визначення "синхронний RS - тригер з прямими статичними входами" і "синхронний RS - тригер із статичними входами" означають, що даний тригер має два інформаційні входи: вхід установки S, вхід скидання R і синхронізуючий вхід C. Перемикання тригера відбувається в моменти часу,що визначаються появою активного логічного сигналу на вході синхронізації (C = 1), причому для перемикання на входи R або S необхідно подати високий логічний рівень, тобто сигнал лог. 1 (R = 1 або S = 1). Ці входи відповідно означають: C, R, S. УГП цього тригера приведене на рисунку 4.2,а. Якщо тригер визначений як "синхронний RS - тригер з інверсними статичними входами", то в цьому випадку, він також має два інформаційні входи: S, R і синхронізуючий вхід C. Проте перемикання тригера відбуватиметься за наявності на вході C сигналу лог. 0. І активними рівнями для входів R і S будуть сигнали лог. 0. УГП цього тригера приведене на рисунку 4.2.б.

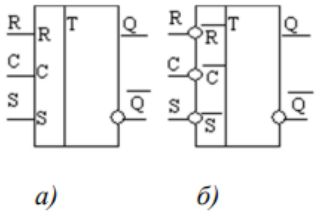

Рис. 4.2 - УГП синхронного RS - тригера з прямими і інверсними входами.

На УГП RS тригерів допускається міняти місцями входи R і S. Для тригерів інших типів це не допустимо. Прості асинхронні RS тригери будуються на двох елементах 2АБО-НЕ або 2І-НЕ. Оскільки активними сигналами для елементів АБО, АБО-НЕ являються лог. 1, то тригер, побудований на таких елементах, буде чутливий до сигналів високого рівня. Він перемикатиметься при подачі на його входи лог.1. Для елементів І, І-НЕ активними рівнями є рівні лог.0. Тому тригер, створений з цих елементів, переходитиме в новий стан при вступі на його входи сигналів лог.0. Функціональні схеми цих тригерів приведені на рисунку 4.3,а і 4.3.б - відповідно. З рисунку видно, що в тригерах міняється положення входів R і S.

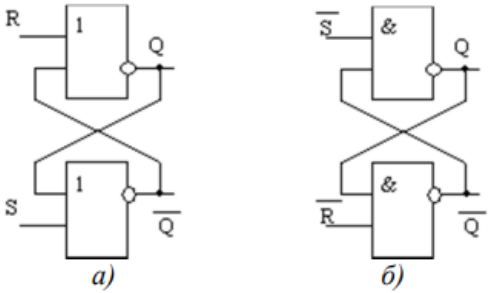

Рис. 4.3 - Функціональні схеми асинхронних RS тригерів : а - на елементах АБО-НЕ; б - на елементах І-НЕ.

Опис роботи тригера може бути задано у вигляді таблиці істинності або у вигляді функції алгебри логіки (ФАЛ). Відмітною особливістю опису тригерів, як представників класу послідовних пристроїв, являється використання як додаткової вхідної змінної значення сигналу Qn, тобто попереднього значення вихідного сигналу тригера. Узагальнена таблиця істинності асинхронних RS тригерів, побудованих на логіці АБО-НЕ і І-НЕ представлена в таблиці 4.1.

Таблиця 4.1 - Таблиця істинності RS тригерів.

<table>
<tr><th colspan="3" rowspan="2">Значення початкових параметрів</th><th colspan="4">Стан виходу</th></tr>
<tr><th colspan="2">Логіка АБО-НЕ</th><th colspan="2">Логіка І-НЕ</th></tr>
<tr><th>R</th><th>S</th><th>Q_n</th><th colspan="2">Q_{n+1}</th><th colspan="2">Q_{n+1}</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td rowspan="2">Q_n</td><td colspan="2" rowspan="2">заборона</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td rowspan="2">1</td><td></td><td rowspan="2">0</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td></td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td rowspan="2">0</td><td></td><td rowspan="2">1</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td></td></tr>
<tr><td>1</td><td>1</td><td>0</td><td colspan="2" rowspan="2">заборона</td><td></td><td rowspan="2">Q_n</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td></td></tr>
</table>

Тригер типу RS не допускає одночасно наявності на входах R і S активних сигналів. В цьому випадку не виконується умова його функціонування, оскільки на виходах Q і $\overline{Q}$ логічні рівні перестають бути взаємно інверсними і набувають однакових значень. Ці комбінації вважаються забороненими. Логічний вираз, що визначає функціонування асинхронного RS - тригера з прямими входами, має вигляд:

$$Q_{n+1} = S \vee \overline{R} Q_n \qquad (4.1)$$

а для тригера з інверсними входами:

$$Q_{n+1} = \overline{S} \vee RQ_n \qquad (4.2)$$

Синхронний RS - тригер забезпечений додатковим входом синхронізації С. ФАЛ синхронних RS - тригерів з прямими і інверсними входами легко отримати з виразів (4.1) і (4.2):

$$Q_{n+1} = \overline{C}Q_n \vee C(S \vee \overline{R}Q_n) \qquad (4.3)$$

$$Q_{n+1} = \overline{C}Q_n \vee C(\overline{S} \vee RQ_n) \qquad (4.4)$$

Як приклад на рисунку 4.4 приведена функціональна схема синхронного RS тригера на елементах АБО-НЕ.

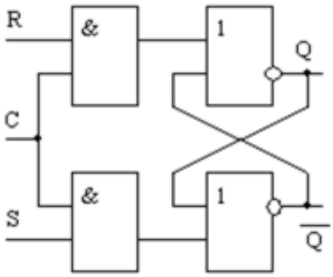

Рис. 4.4 - Функціональна схема синхронного RS тригера на елементах АБО-НЕ

Тригер - клямка або D - тригер зазвичай забезпечений тільки одним інформаційним входом D. Цей тригер може бути тільки синхронним. Інформація з входу D переписується на вихід тригера тільки по сигналу синхронізації С. До тих пір, поки синхросигнал активний, тригер пропускає вхідну інформацію з входу D на вихід Q. При пасивному синхросигналі тригер не чутливий до змін

інформаційного сигналу. Робота D - тригера описується наступним вираженням:

$$Q_{n+1} = \overline{C}Q_n \vee CD \qquad (4.5)$$

Функціональна схема D - тригера приведена на рисунку 4.5, а умовне графічне зображення - на рисунку 4.6.

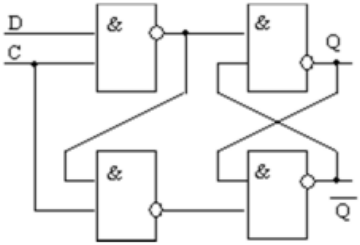

Рис. 4.5 - Функціональна схема D тригера

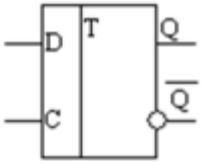

Рис. 4.6. УГП D - тригера.

D-тригер (тригер з входом для даних) має один або два входи (один з них синхронізуючий). Вихідний сигнал тригера повторює вхідний сигнал, якщо синхронізуючий вхід C=1. Вихід тригера не змінює свого стану за умови, що C=0.

D-тригер реалізує логічну функцію: Qt+1=Dt

Завдання

В MS Excel побудувати схему D-тригера (рис. 4.7) та продемонструвати його роботу, використовуючи його таблицею істинності. Пояснити кожен рядок таблиці істинності.

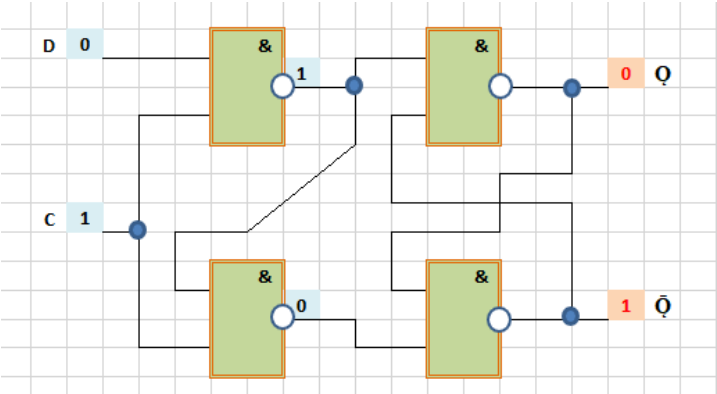

Рис. 4.7 - Функціональна схема D тригера на елементах І-НЕ

Таблиця 4.2 - Таблиця істинності D тригерів.

C	D	Qt	Qt+1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1
C	D	Qt	Qt+1
0	0	0	0
0	0	1	1
0	1	0	0

0	1	1	1

C	D	Q(t)	Q(t+1)	Пояснення
0	*	0	0	Режим зберігання інформації
0	*	1	1	
1	0	*	0	Режим запису інформації
1	1	*	1	

Література

1. Матвієнко М.П. Комп'ютерна логіка / М.П. Матвієнко. – К: Ліра-К, 2017. – 324 с. https://lira-k.com.ua/preview/12062.pdf

2. Жабін В. І., Жуков І. А.,. Клименко І. А, Ткаченко В. В. Прикладна теорія цифрових автоматів : навч. посіб. / П 759. – 2-ге вид., доопрац. – К.: Вид-во Нац. авіац. ун-ту «НАУ-друк», 2009. – 360 с.
http://programming.in.ua/programming/basisprogramming/329-zhabin-zhukov-klymenko-tkachenko-applied-theory-of-digital-devices.html

3. Дичка І.А., Тарасенко В. П., Онай М. В. Основи прикладної теорії цифрових автоматів : підручник. – Київ : КПІ ім. Ігоря Сікорського, Вид-во "Політехніка", 2019. – 508 с.
https://ela.kpi.ua/handle/123456789/29295

Лабораторна робота № 5

Логіка регістрів збереження та зсуву

Мета роботи:

- вивчення функціональних властивостей регістрів запису та зсуву, експериментальне дослідження їх режимів роботи.

1. Завдання та порядок виконання роботи

1 Вивчити навчальний матеріал.

2 Підготовити відповіді на контрольні питання.

4. В електронній таблиці Excel побудувати функціональні схеми і досліджувати роботу регістрів збереження та зсуву.

5. Пояснити логіку роботи регістрів збереження та зсуву.

Контрольні питання

1. Що таке регістр?

2. Які тригери використовуються в регістрах?

3. Скільки розрядів двійкового числа зберігає тригер в регістрі?

4. Для чого встановлювати тригери в регістрах у нульовий стан?

5. В яких цифрових схемах використовується регістр збереження?

6. В яких цифрових схемах використовується регістр зсуву

Зміст звіту

1. Номер роботи, її назва та мета.

2. Короткі теоретичні відомості та відповіді на контрольні питання.

3. Побудувати логічні схеми регістрів збереження та зсуву на D тригерах.

4. Висновки.

2. Теоретичні відомості

Регістр – це цифровий вузол, призначений для запису та зберігання двійкових числа. Деякі регістри можуть перетворювати інформацію з послідовної форми на паралельну і навпаки. Спочатку розглянемо регістр зберігання.

Регістр зберігання

Логічна структура регістру зберігання на D-тригерах показано рис. 5.1.

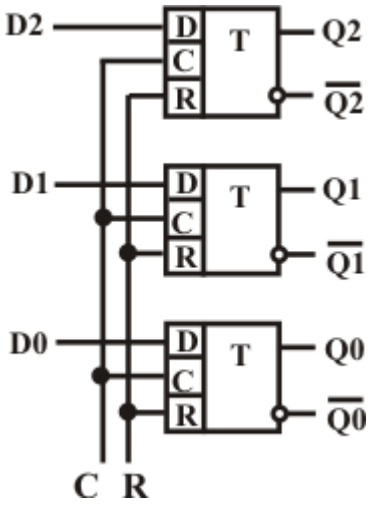

Рис. 5.1 - Регістр зберігання на D-тригерах

Кожен тригер призначений для зберігання одного розряду двійкового числа. Вхід R слугує для встановлення тригерів у нульовий стан перед записом інформації. Вхідне двійкове число подається на входи D0-D2 і при подачі імпульсу на вхід C тригери записують цей код, тобто двійкове число. Записане число може зберігатися скільки завгодно довго, якщо на вхід не надходять імпульси (або якщо не вимикається електроживлення). Інформація може виводитись як у прямому (з прямих виходів тригерів), так і в інверсному коді (з інверсних виходів).

Регістр зсуву

Інший різновид регістрів - регістр зсуву. Регістр зсуву призначений для запису двійкових чисел шляхом зсуву їх бітів під впливом тактових імпульсів. Логічна структура регістру зсуву на D-тригерах представлена на рис. 5.2:

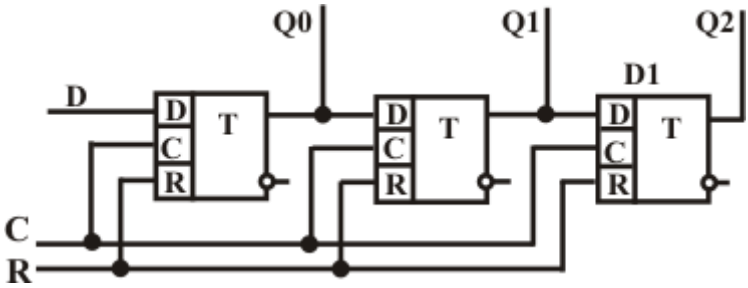

Рис. 5.2 - Регістр зсуву на D-тригерах

Як видно з рис. 5.2, у регістрі зсуву також поєднуються входи R і C тригерів. Перед записом інформації регістр встановлюється в нульовий стан. Інформація подається на D-вхід першого тригера. При подачі імпульсу на вхід біт інформації (лог. 0 або лог. 1) записується в тригер. При подачі наступного імпульсу цей біт записується в наступний тригер. При цьому у перший тригер записується наступний біт інформації і т. д. Іншими словами, при впливі тактових імпульсів інформація просувається регістром від першого тригера до останнього. При заповненні всіх тригерів число в паралельному коді можна вивести з виходів Q_0-Q_2. При цьому перший біт інформації буде присутній на виході Q_2, другий на виході Q_1 і т.д.

Представлений на рис. 5.2 регістр зрушує інформацію лише у одну сторону. Такі регістри називають регістром зі зрушенням праворуч або регістр зі зсувом вліво (дивлячись куди він зсуває). Існують регістри, що зсувають інформацію в обидві сторони. Напрямок зсуву визначається керуючим сигналом, що подається на спеціальний вхід (подібно до реверсивних лічильників).

Завдання

В MS Excel побудувати схеми 3-розрядних регістрів збереження (рис. 5.3) та зсуву (рис. 5.4) на D-тригерах на 2І-НЕ логічних елементах. Продемонструвати роботу регістрів збереження та зсуву.

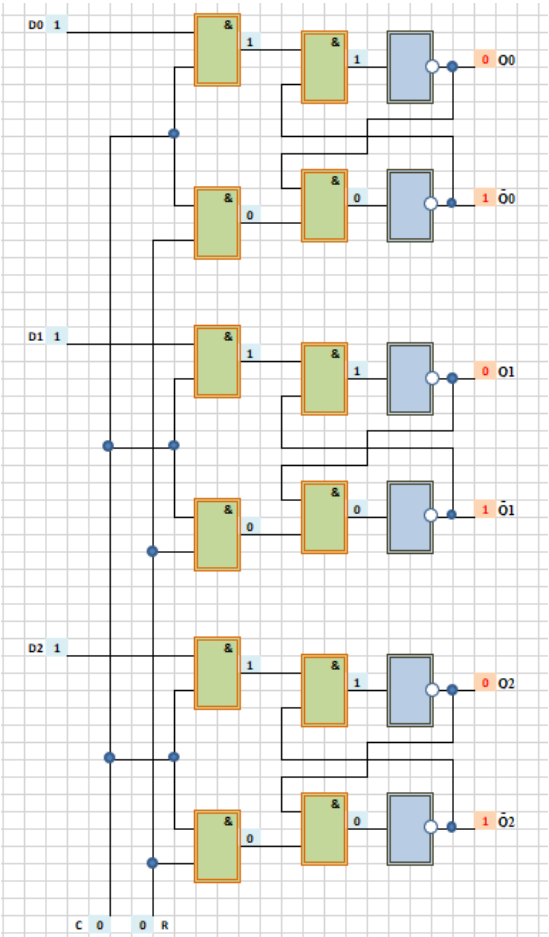

Рис. 5.3 - Регістр збереження на D-тригерах

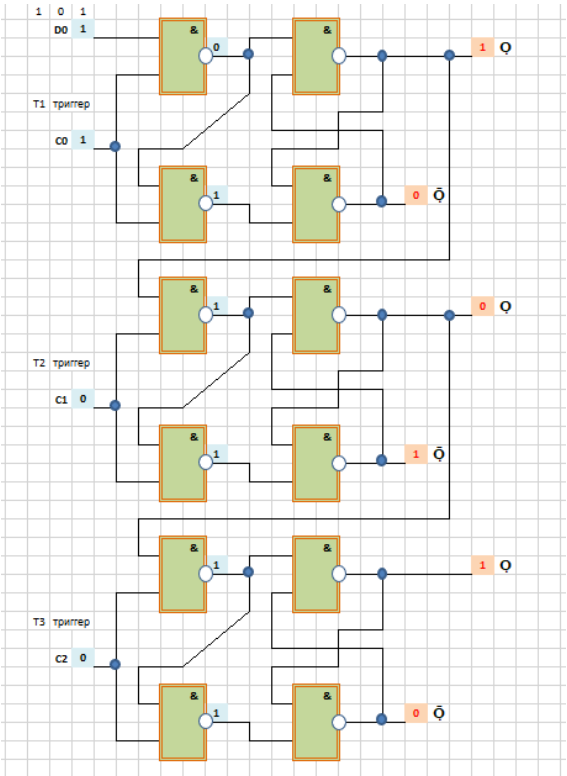

Рис. 5.4 - Регістр зсуву на D-тригерах

Література

1. Матвієнко М.П. Комп'ютерна логіка / М.П. Матвієнко. – К: Ліра-К, 2017. – 324 с. https://lira-k.com.ua/preview/12062.pdf

2. Жабін В. І., Жуков І. А.,. Клименко І. А, Ткаченко В. В. Прикладна теорія цифрових автоматів : навч. посіб. / П 759. – 2-ге вид., доопрац. – К.: Вид-во Нац. авіац. ун-ту «НАУ-друк», 2009. – 360 с.

http://programming.in.ua/programming/basisprogramming/329-zhabin-zhukov-klymenko-tkachenko-applied-theory-of-digital-devices.html

3. Дичка І.А., Тарасенко В. П., Онай М. В. Основи прикладної теорії цифрових автоматів : підручник. – Київ : КПІ ім. Ігоря Сікорського, Вид-во “Політехніка”, 2019. – 508 с.
https://ela.kpi.ua/handle/123456789/29295

Лабораторна робота № 6

Логіка послідовного суматора

Мета роботи:

- навчитися виконувати додавання двійкових чисел у послідовному суматорі.

1. Завдання та порядок виконання роботи

1. Вивчити навчальний матеріал.
2. Підготовити відповіді на контрольні питання.
3. Проаналізувати таблицю істинності 3-розрядного суматора двійкових кодів.
4. Здійснити перевірку роботи представленої схеми 3-розрядного послідовного суматора у відповідності з його таблицею істинності.

Контрольні питання

1. Який вигляд має таблиця істинності 3-розрядного суматора двійкових кодів?

2 У чому полягає різниця між таблицями істинності 4-розрядного паралельного суматора з послідовним перенесенням та 3-розрядним послідовним суматором?

3. Які правила додавання *n*-розрядних двійкових чисел

4. Яке призначення послідовного суматора двійкових кодів?

5. При яких умовах додавання двійкових чисел необхідно переносити одиницю до старшого розряду?

6. Яка роль тригера у схемі послідовного суматора?

7. Скільки регістрів у схемі послідовного суматора?

8. Які є логічні функції в електронній таблиці MS Exsel?

Зміст звіту

1. Назва лабораторної роботи та її мета.

2. Короткі теоретичні відомості та відповіді на контрольні питання.

3. Пояснити відмінності у роботі паралельного суматора з послідовним перенесенням та послідовним суматором двійкових кодів.

4. Висновки.

2. Теоретичні відомості

Послідовні суматори перетворять послідовні коди доданків на послідовний код суми цих доданків. Додавання розпочинається з молодшого розряду і виконується порозрядно послідовно за стільки тактів, скільки розрядів міститься у двійковому числі. До складу багаторозрядного суматора послідовної дії, крім комбінаційного 1-розрядного суматора, застосовують три регістри зсуву для двох доданків A і B та для результату S, тригер переносу TrP і схеми управління введення та виведення двійкових чисел (рис. 6.1).

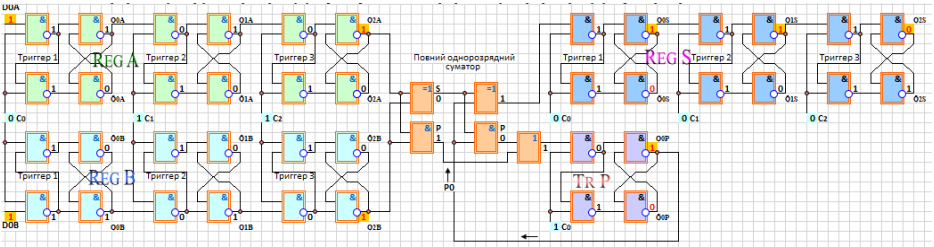

Рис. 6.1 – Схема послідовного 3-розрядного суматора

Завдання

1. Пояснити роботу послідовного суматора, продемонструвати додавання 3-розрядних чисел в послідовному суматорі.

Література

1. Матвієнко М.П. Комп'ютерна логіка / М.П. Матвієнко. – К: Ліра-К, 2017. – 324 с. https://lira-k.com.ua/preview/12062.pdf

2. Жабін В. І., Жуков І. А.,. Клименко І. А, Ткаченко В. В. Прикладна теорія цифрових автоматів : навч. посіб. / П 759. – 2-ге вид., доопрац. – К.: Вид-во Нац. авіац. ун-ту «НАУ-друк», 2009. – 360 с.

http://programming.in.ua/programming/basisprogramming/329-zhabin-zhukov-klymenko-tkachenko-applied-theory-of-digital-devices.html

3. Дичка І.А., Тарасенко В. П., Онай М. В. Основи прикладної теорії цифрових автоматів : підручник. – Київ : КПІ ім. Ігоря Сікорського, Вид-во "Політехніка", 2019. – 508 с.

https://ela.kpi.ua/handle/123456789/29295

Лабораторна робота № 7

Логіка напіввіднімача та повного віднімача

Мета роботи:

- навчитися виконувати віднімання двійкових чисел у схемі напіввіднімача та повного віднімача.

1. Завдання та порядок виконання роботи

1. Вивчити навчальний матеріал.
2. Підготовити відповіді на контрольні питання.

3. Проаналізувати таблицю істинності напіввіднімача та повного 1-розрядного віднімача двійкових кодів.

4. В електронній таблиці MS Excel побудувати схеми напіввіднімача та повного 1-розрядного віднімача), таблицями істинності перевірити їх роботу.

Контрольні питання

1. Який вигляд має таблиця істинності напіввіднімача?

2. Який вигляд має логічна операція «додавання за модулем два»

3. Яке призначення напіввіднімача?

4. При яких умовах віднімання двійкових чисел необхідно проводити позику одиницю зі старшого розряду?

5. Який вигляд має таблиця істинності повного 1-розрядного віднімача?

6 У чому полягає відмінність між таблицями істинності напіввіднімача та повного 1-розрядного віднімача?

7. Яке призначення повного 1-розрядного віднімача?

8. Що таке позика одиниці зі старшого розряду?

9. Які є логічні функції в електронній таблиці MS Exsel?

Зміст звіту

1. Назва лабораторної роботи та її мета.

2. Короткі теоретичні відомості та відповіді на контрольні питання.

3. Пояснити відмінності у роботі напіввіднімача з повним 1-розрядним віднімачем.

4. Висновки.

2. Теоретичні відомості

На основі правил двійкової арифметики можна записати правила віднімання двійкових чисел так, як це показано у таблиці 7.1, де z_{i+1} – запозичення у старшому розряді.

Запозичення рівносильне відніманню одиниці із старшого розряду. Враховуючи одиниці запозичення із старшого сусіднього розряду правила віднімання двійкових чисел можна записати так, як показано у таблиці 7.2 (щоб відрізняти запозичення від перенесення, перед одиницею поставлений знак мінус).

Таблиця 7.1 – Правила віднімання двійкових цифр

a_i	b_i	c_i	z_{i+1}
0	0	0	0
1	0	1	0
1	1	0	0
0	1	1	-1

Таблиця 7.2 – Правила додавання двійкових цифр з врахуванням запозичення

a_i	b_i	z_i	c_i	z_{i+1}
0	0	0	0	0
1	0	0	1	0
1	1	0	0	0
0	1	0	1	-1
0	0	-1	1	-1
1	0	-1	0	0
1	1	-1	1	-1
0	1	-1	0	-1

Якщо A – зменшувальне (перший операнд), B – віднімальне (другий операнд), то для порозрядних дій справедлива рівність:

$$a_i + b_i + z_i = c_i + z_{i+1}.$$

Арифметичні операції можна виконувати з двійковими числами, представленими у прямому, зворотному та додатковому кодах. Якщо операнди представлені в прямому коді та мають однакові знаки, то над ними при алгебраїчному додаванні природно виконується процедура додавання. Якщо ж операнди мають різні знаки – здійснюється процедура віднімання. Для спрощення апаратних засобів обчислювальної техніки процедура віднімання замінюється додаванням завдяки тому, що від’ємний операнд подається у зворотному або додатковому коді.

Завдання

В електронній таблиці MS Excel побудувати схеми напіввіднімача (рис. 7.1) та повного 1-розрядного віднімача (рис. 7.2), таблицями істинності перевірити їх роботу. Пояснити роботу схем напіввіднімача та повного 1-розрядного віднімача.

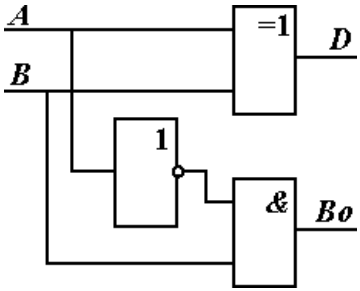

Рис. 7.1 – Логична схема напіввіднімача

Таблиця істинності напіввіднімача

Входи		Виходи	
A	***B***	D_i	B_0
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0
Зменшуване	Віднімане	Різниця	Позика

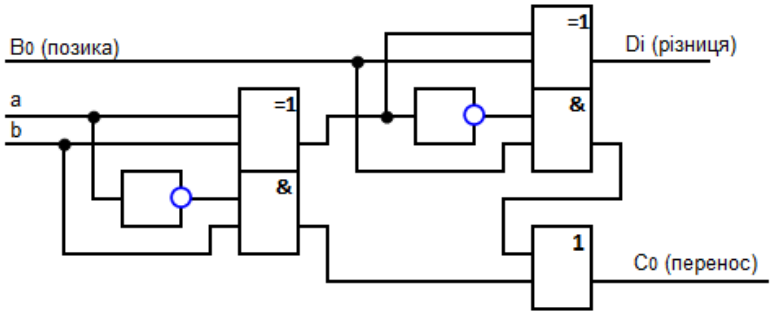

Рис. 7.2 – Логична схема повного 1-розрядного напіввіднімача

Таблиця істинності повного 1-розрядного віднімача

Входи			Виходи	
A	***B***	B_i	D_i	B_0
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1
$A-B-B_i$			Різниця	Позика

Література

1. Матвієнко М.П. Комп’ютерна логіка / М.П. Матвієнко. – К: Ліра-К, 2017. – 324 с. https://lira-k.com.ua/preview/12062.pdf

2. Жабін В. І., Жуков І. А.,. Клименко І. А, Ткаченко В. В. Прикладна теорія цифрових автоматів : навч. посіб. / П 759. – 2-

ге вид., доопрац. – К.: Вид-во Нац. авіац. ун-ту «НАУ-друк», 2009. – 360 с.
http://programming.in.ua/programming/basisprogramming/329-zhabin-zhukov-klymenko-tkachenko-applied-theory-of-digital-devices.html
3. Дичка І.А., Тарасенко В. П., Онай М. В. Основи прикладної теорії цифрових автоматів : підручник. – Київ : КПІ ім. Ігоря Сікорського, Вид-во "Політехніка", 2019. – 508 с.
https://ela.kpi.ua/handle/123456789/29295

Лабораторна робота № 8

Логіка 4-розрядного паралельного віднімача додатних двійкових кодів

Мета роботи:

- навчитися виконувати віднімання додатних двійкових чисел у схемі 4-розрядного паралельного віднімача бінарних кодів.

1. Завдання та порядок виконання роботи

1. Вивчити навчальний матеріал.
2. Підготовити відповіді на контрольні питання.
3. Проаналізувати таблицю істинності 4-розрядного паралельного віднімача двійкових кодів.
4. Здійснити перевірку роботи побудованої схеми 4-розрядного паралельного віднімача у відповідності з його таблицею істинності.

Контрольні питання

1. Який вигляд має таблиця істинності 4-розрядного паралельного віднімача додатних чисел?

2 У чому полягає різниця між таблицями істинності повного 1-розрядного віднімача та 4-розрядного паралельного віднімача додатних чисел?

3. Які правила віднімання 4-розрядних додатних двійкових чисел

4. При яких умовах віднімання двійкових додатних чисел необхідно проводити позику одиниці зі старшого розряду?

5. Які є логічні функції в електронній таблиці MS Exsel?

Зміст звіту

1. Назва лабораторної роботи та її мета.

2. Короткі теоретичні відомості та відповіді на контрольні питання.

3. Пояснити відмінності роботи повного 1-розрядного віднімача двійкових чисел та схеми 4-розрядного паралельного віднімача додатних чисел.

4. Висновки.

2. Теоретичні відомості

На основі напіввіднімачів і повних віднімачів будуються схеми багаторозрядних паралельних віднімачів.

Роботу багаторозрядного віднімача пояснює рис. 8.1. На входи А віднімача подається перше зменшуване. На входи В віднімача подається віднімальне. На виходах формується різниця. Для забезпечення позики виходи позики молодшого розряду підключаються до входів позики старшого розряду. Зазначимо, що молодший розряд «повідомляє» старшому про те, що він у нього зайняв незалежно від того, чи була одиниця у старшому розряді чи ні.

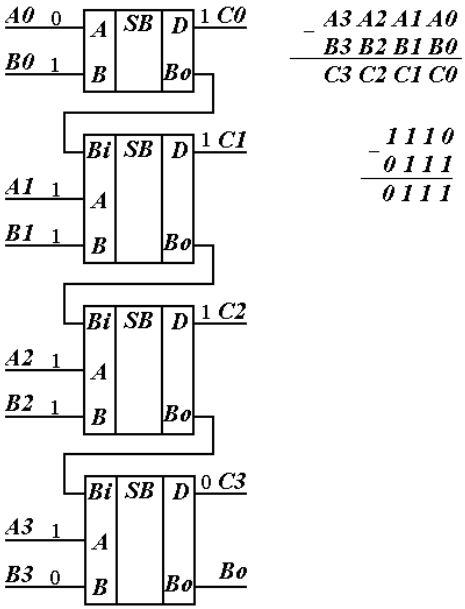

Рис. 8.1 – Схема паралельного 4-розрядного віднімача двійкових кодів

Завдання

1. В електронній таблиці MS Excel побудувати схему паралельного 4-розрядного віднімача додатних чисел (рис. 8.2) та за допомогою таблиці істинності 4-розрядного віднімача перевірити правильність роботи схеми на рис. 3.2.

2. Пояснити роботу паралельного 4-розрядного віднімача додатних чисел.

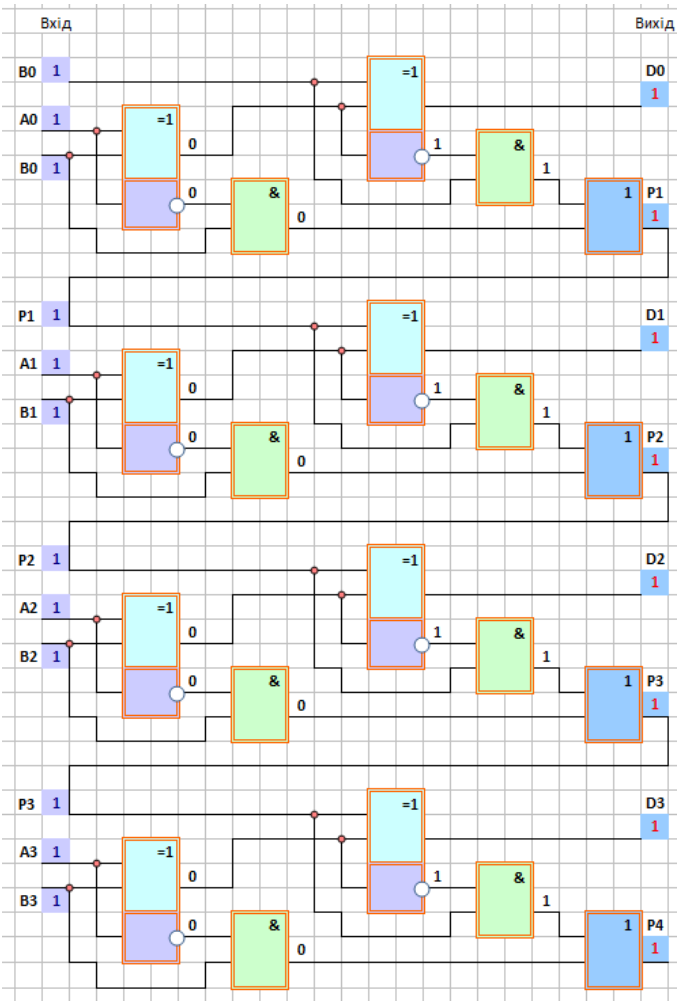

Рис. 8.2 – 4-розрядний паралельний віднімач додатних чисел

Література

1. Матвієнко М.П. Комп’ютерна логіка / М.П. Матвієнко. – К: Ліра-К, 2017. – 324 с. https://lira-k.com.ua/preview/12062.pdf

2. Жабін В. І., Жуков І. А.,. Клименко І. А, Ткаченко В. В. Прикладна теорія цифрових автоматів : навч. посіб. / П 759. – 2-ге вид., доопрац. – К.: Вид-во Нац. авіац. ун-ту «НАУ-друк», 2009. – 360 с.

http://programming.in.ua/programming/basisprogramming/329-zhabin-zhukov-klymenko-tkachenko-applied-theory-of-digital-devices.html

3. Дичка І.А., Тарасенко В. П., Онай М. В. Основи прикладної теорії цифрових автоматів : підручник. – Київ : КПІ ім. Ігоря Сікорського, Вид-во "Політехніка", 2019. – 508 с.

https://ela.kpi.ua/handle/123456789/29295

Лабораторна робота № 9

Пристрої кодування. Шифратори і дешифратори

1. Мета роботи

– вивчити принцип роботи і структуру дешифраторів, шифраторів та схем на їх основі, дослідити роботу пристроїв кодування цифрової техніки.

1. Завдання та порядок виконання роботи

1. Вивчити навчальний матеріал.
2. Підготовити відповіді на контрольні питання.
3. Проаналізувати таблиці істинності шифратора та дешифратора.
4. Здійснити перевірку роботи побудованої схеми дешифратора у відповідності з його таблицею істинності.

Контрольні питання

1. Що називають пристроєм кодування?
2. Назвіть функції дешифратора і шифратора.
3. Яка функція входу S дешифратора?

4. Область застосування шифраторів і дешифраторів. 5. Опишіть принципи побудови лінійних дешифраторів.

6. Поясніть принцип дії матричного дешифратора як на функціональному, так і на рівні логічних елементів.

7. Яким чином будується пірамідальний дешифратор?

8. Від чого залежать складність і швидкодія дешифратора?

Зміст звіту

1. Назва лабораторної роботи та її мета.

2. Короткі теоретичні відомості та відповіді на контрольні питання.

3. Пояснити відмінності роботи чверть суматором та напівсуматора.

4. Висновки.

2. Теоретичні відомості

Пристроєм кодування, називають логічний вузол, що перетворює багаторозрядний вхідної код у вихідний код, побудований на новому законі.

Дешифратором або декодером (decoder) називається комбінаційний вузол, що перетворює n - розрядний вхідний двійковий код в унітарний вихідний двійковий код або в сукупність унітарних кодів.

Якщо дешифратор виконаний у вигляді інтегральної схеми (ІС), має n входів (відповідно 2^n вихідних наборів) і $N = 2^n$ виходів, то він називається повним дешифратором, якщо $N < 2^n$, то - неповним.

У повному дешифраторі кожній комбінації значень вхідних сигналів відповідає сигнал, тільки на одному виході. Іншими словами, у залежності від вхідного коду на виході збуджується одне з кіл. Прикладом неповного дешифратора є ІС дешифратора двійково-десяткового коду (n = 4, N = 10). Для випадку N = 1 дешифратор прийнято називати детектором стану.

Декодер використовують, коли потрібно звернутися до різноманітних цифрових пристроїв, і при цьому номер пристрою – його адреса – надана двійковим кодом. Входи декодера (адресні входи) частіше нумерують відповідно до ваги двійкових розрядів 1, 2, 4, 8, 16... Кількість входів і виходів декодера вказується наступним чином: декодер 3 – 8 (читається “три у вісім”), 4 – 16 (чотири в шістнадцять). Активний сигнал в колі однопозиційного коду може бути статичним потенціалом, який кодується логічним 0, або кодується логічною 1, тому розрізняють дешифратори з активним нулем і активною одиницею виходу.

Розглянемо структуру повного дешифратора, що перетворює двохрозрядний двійковий код в унітарний код (див. табл. 9.1), де: x1 і x0 - змінні двохрозрядного двійкового коду, що дешифрується; y0 - вихід дешифратора, що виробляє активний сигнал (0 або 1) на наборі x1x0 = 00 і неактивні сигнали на інших наборах і т. д., тобто табл. 9.1 побудована так, що індекс у вихідного сигналу співпадає з номером набору вхідного двійкового коду.

Таблиця 9.1 - Перетворення 2-розрядного двійкового коду в унітарний код

№ набору	Входи		Виходи							
			з активною “1”				з активним “0”			
	x_1	x_0	$У_0$	$У_1$	$У_2$	$У_3$	$У_0$	$У_1$	$У_2$	$У_3$
0	0	0	1	0	0	0	0	1	1	1
1	0	1	0	1	0	0	1	0	1	1
2	1	0	0	0	1	0	1	1	0	1
3	1	1	0	0	0	1	1	1	1	0

Розглядаючи вихідні сигнали y_i як значення функції перемикача, залежні від змінних x_1 і x_0, для дешифратора з активною одиницею виходу з таблиці 9.1 отримуємо:

$$\left.\begin{aligned} y_0 &= \overline{x_1}\,\overline{x_0} = \overline{x_1 + x_0} \\ y_1 &= \overline{x_1}x_0 = \overline{x_1 + \overline{x_0}} \\ y_2 &= x_1\overline{x_0} = \overline{\overline{x_1} + x_0} \\ y_3 &= x_1x_0 = \overline{\overline{x_1} + \overline{x_0}} \end{aligned}\right\} \qquad (9.1)$$

З виразів (9.1) виходить, що повний дешифратор з активною одиницею виходу може розглядатися як сукупність чотирьох двохвходових елементів І, що реалізовують усі конституенти одиниці (елементарні добутки максимального рангу), або як сукупність чотирьох двохвходових елементів АБО-НЕ, що реалізовують заперечення усіх конституент нуля (елементарних сум максимального рангу). Для дешифратора з активним нулем виходу з таблиці 9.1 отримуємо:

$$\left.\begin{aligned} y_0 &= x_1 + x_0 = \overline{\overline{x_1}\,\overline{x_0}} \\ y_1 &= x_1 + \overline{x_0} = \overline{\overline{x_1}x_0} \\ y_2 &= \overline{x_1} + x_0 = \overline{x_1\overline{x_0}} \\ y_3 &= \overline{x_1} + \overline{x_0} = \overline{x_1x_0} \end{aligned}\right\} \qquad (9.2)$$

З виразів (9.2) виходить, що дешифратор з активним нулем виходу можна розглядати як сукупність чотирьох двохвходових елементів АБО, що реалізовують усі конституенти нуля, або як сукупність чотирьох двохвходових елементів І-НЕ, що реалізовують заперечення усіх конституент одиниці.

Оскільки в одній половині конституент, що реалізовуються, будь-яка вхідна змінна зустрічається без інверсії, а в іншій - з інверсією, то кожен вхід дешифратора при такій реалізації представлятиме з себе 2n -1 одиничних навантажень для виходів тих елементів, з яких знімаються ці

змінні. При практичній реалізації дешифраторів у виді ІС в них додаються буферні інвертори для забезпечення одного одиничного навантаження по входу кожної змінної. З урахуванням сказаного схеми матимуть вигляд, представлений на рис. 9.1.

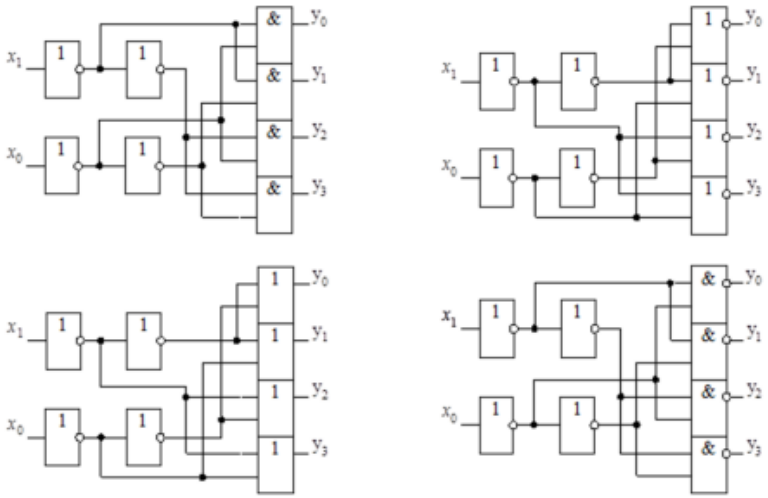

Рис. 9.1. - Реалізація дешифраторів на логічних елементах

Функціональне позначення отриманих структур приведене на рис. 9.2 (ліворуч - для дешифратора з активною одиницею виходу, справа - з активним нулем виходу), де позначено: DC - абревіатура, прийнята для позначення дешифраторів; цифри 2 і 1 в лівому вузькому полі означають двійкові ваги розрядів (вхідних змінних) двійкового коду, що дешифрується, а круги говорять про те, що активними сигналами виходу є рівні "0".

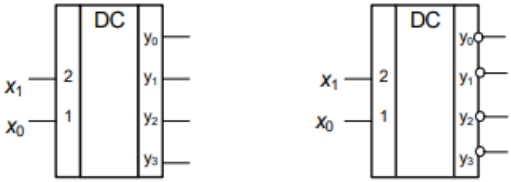

Рис. 9.2- Позначення дешифраторів

Структура дешифратора визначатиметься тим, як схемотехнічно виконується вся сукупність конституент. Для дешифратора з активною одиницею виходу при n = 4 довільний вихід може бути реалізований як:

$$y_i = x_3 x_2 x_1 x_0 \qquad (9.3)$$

$$y_i = (x_3(x_2(x_1 x_0))) \qquad (9.4)$$

$$y_i = (x_3 x_2)\ (x_1 x_0), \qquad (9.5)$$

де $x_j = x_i$ або $\overline{x_i}$; I = 0 … 2^n-1; j = 0 … n-1.

Дешифратор, який реалізується по вираженню (9.3), називається лінійним, оскільки його структура вдає із себе лінійку чотирьохвходових (у загальному випадку n - входових) елементів І. По цій структурі реалізуються всі дешифратори, виконані у вигляді ІС малої та середньої мірі інтеграції, оскільки ця структура володіє мінімальними затримками поширення сигналів.

Дешифратор, який реалізується по вираженню (9.4), називається пірамідальним, оскільки його структура вдає із себе n –1 – ярусну “піраміду”, що складається лише з 2-входових елементів І. На вершині піраміди (першому ярусі) розташовано чотири 2-входових елементи *І*, що реалізовують конституенти одиниці від двох молодших змінних x1 та x0, на другому ярусі - вісім 2-входових елементів *І,* що реалізовують конституенти одиниці від трьох молодших змінних і так далі. В основі

піраміди, тобто на виході дешифратора, розташовані 2n 2-входових елементів *І*. Така структура ніколи не вироблялася і не виробляється у вигляді ІС, оскільки має дуже великі затримки поширення сигналів.

Дешифратор, який реалізується за виразом (9.5), називається 2-сходинковим, оскільки його схема представляє з себе матричну структуру, що складається з двох рівнів. Перший рівень включає два n/2- входових (n +1)/2 і (n - 1) /2 при непарному n лінійних дешифраторів, виходи яких утворюють 2n/2 рядків і 2n/2 стовпців, а другий рівень включає 2n 2-входових елементів *І*, розташованих на кожному з перетинів рядків і стовпців, причому на входи цих елементів подаються сигнали з відповідного рядка і стовпця. 2-сходинкові дешифратори використовуються у мікросхемах пам'яті для дешифрування адреси комірок пам’яті, причому, як правило, другий рівень реалізується як складова частина цих комірок.

Використовуючи принцип побудови останньої структури, в загальному випадку можна реалізувати багатоступінчастий дешифратор.

Завдання

1. В електронній таблиці MS Excel побудувати схему 3-розрядного дешифратора (рис. 9.3). За допомогою таблиці істинності дешифратора перевірити правильність роботи схеми.

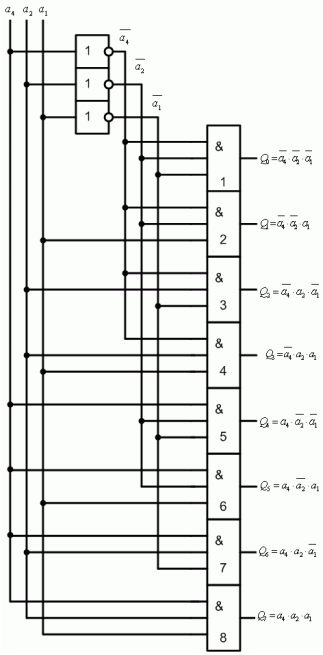

Рис. 9.3 – Схема дешифратора

Таблиця істинності дешифратора

A_3	A_2	A_1	r_0	r_1	r_2	r_3	r_4	r_5	r_6	r_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Література

1. Матвієнко М.П. Комп’ютерна логіка / М.П. Матвієнко. – К: Ліра-К, 2017. – 324 с. https://lira-k.com.ua/preview/12062.pdf

2. Жабін В. І., Жуков І. А.,. Клименко І. А, Ткаченко В. В. Прикладна теорія цифрових автоматів : навч. посіб. / П 759. – 2-ге вид., доопрац. – К.: Вид-во Нац. авіац. ун-ту «НАУ-друк», 2009. – 360 с.

http://programming.in.ua/programming/basisprogramming/329-zhabin-zhukov-klymenko-tkachenko-applied-theory-of-digital-devices.html

3. Дичка І.А., Тарасенко В. П., Онай М. В. Основи прикладної теорії цифрових автоматів : підручник. – Київ : КПІ ім. Ігоря Сікорського, Вид-во "Політехніка", 2019. – 508 с. https://ela.kpi.ua/handle/123456789/29295

Лабораторна робота № 10.

Цифровий мультиплексор і демультиплексор

1. Мета роботи

– вивчити структуру і дослідити роботу цифрового мультиплексора та демультиплексора.

1. Завдання та порядок виконання роботи

1. Вивчити навчальний матеріал.
2. Підготовити відповіді на контрольні питання.
3. Проаналізувати таблицю істинності мультиплексора.
4. Продемонструвати роботу побудованої схеми мультиплексора.

Контрольні питання

1. Що називають мультиплексором та його призначення?
2. Наведіть схемне позначення мультиплексора.
3. Що таке адресні входи та входи даних?
4. Що таке демультиплексор та його призначення?
5. За допомогою якого елемента і як можна реалізувати функцію демультиплексування.

6. Скільки виходів буде у мультиплексора на 2 адресні входи?

7. Скільки адресних входів буде у мультиплексора на 4 інформаційні входи?

8. Скільки рядків буде в таблиці істинності у мультиплексора на 32 інформаційні входи?

Зміст звіту

1. Назва лабораторної роботи та її мета.
2. Короткі теоретичні відомості та відповіді на контрольні питання.
3. Продемонструвати роботу мультиплексора 4→ 1.
4. Висновки.

2. Теоретичні відомості

Мультиплексор (multiplexor) - це функціональний вузол, що здійснює кероване підключення (комутацію) одного або декількох входів даних до виходу. Однобітовим мультиплексором називається цифровий комбінаційний вузол, що здійснює адресну передачу даних із одного з багатьох входів на один вихід. Для передачі n - розрядного слова необхідно використовувати n однобітових мультиплексорів.

У цифрових пристроях мультиплексор реалізується як логічний вузол, в якому адреса задається двійковим кодом. При N вхідних напрямах потрібно m адресних змінних, де m =]log2N[.

Входи мультиплексора поділяються на дві групи: інформаційні і керуючі (адресні). Мультиплексор має m+2 входів і один вихід, де m - число адресних входів, а 2^m - число інформаційних входів мультиплексора. Адреси представляються в двійковому коді і їм присвоюється номер j. Номер обраного входу відповідає коду, поданому на адресні входи мультиплексора. Кожній адресі з номером j відповідає свій інформаційний вхід A_J ,, сигнал з якого при даній адресі

проходить на вихід. Умовне зображення мультиплексора (4-1) показане на рис. 10.1. На схемах мультиплексор позначається MUX, проте припускається SL – (селектор), MS – (мультиплексор).

Вхід E - вхід дозволу: якщо E=1 мультиплексор працює звичайно, а якщо E=0 вихід знаходиться в стані “0”, тобто мультиплексор замкнений.

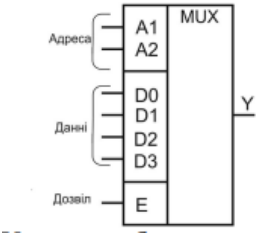

Рис. 10.1 - Умовне зображення мультиплексора

Входи мультиплексора можуть бути прямими або інверсними. Вихідний сигнал мультиплексора співпадає з сигналом на і -му інформаційному вході, якщо на його входи управління поданий двійковий код числа і. Розглянемо логічну структуру мультиплексора. На підставі визначення мультиплексора складемо таблицю істинності (табл.10.1), що описує його роботу.

Таблиця 10.1- Таблиця істинності мультиплексора 4→1

№ набору	Код адреси		Вхідні данні				
	a_1	a_0	D_0	D_1	D_2	D_3	
0	0	0	$\mathbf{D_0}$	×	×	×	$\mathbf{D_0}$
1	0	1	×	$\mathbf{D_1}$	×	×	$\mathbf{D_1}$
2	1	0	×	×	$\mathbf{D_2}$	×	$\mathbf{D_2}$
3	1	1	×	×	×	$\mathbf{D_3}$	$\mathbf{D_3}$

Знаком " × " в таблиці відмічений байдужий стан.

Очевидно, що в даному випадку розрядність адреси вхідного напряму m=2. Позначимо адресні змінні як a_1 і a_0. Приймемо, що індекс у вхідного напряму співпадає з номером набору адресних змінних. Отже, адреса з набором 0 передає на вихід вхідні дані D0, а те що подається на входи D1, D2 і D3 при цій адресі не має ніякого значення; адреса з набором 1 передає на вихід вхідні дані D1 і т. д.

З таблиці 10.1 виходить наступний вираз для виходу у MS 4→1:

$$y = \overline{a_1}\,\overline{a_0}D_0 + \overline{a_1}a_0D_1 + a_1\overline{a_0}D_2 + a_1a_0D_3 \qquad (10.1)$$

З рівняння (10.1) виходить, що для реалізації мультиплексора MS 4→1 необхідно використовувати чотири трьохвходові елементи "І" і один чотирьохвходовий елемент "АБО". Адресні змінні утворюють усі конституенти одиниці, тому з міркувань забезпечення одиничного навантаження по входах a_1 і a_0 в схему додатково вводяться чотири буферні інвертори. Остаточна схема MS 4→1 і його функціональне позначення приведені на рис. 10.2. ІМС мультиплексорів мають вхід стробування E, активний сигнал на якому дозволяє роботу мультиплексора, а пасивний переводить вихід мультиплексора в неактивний стан.

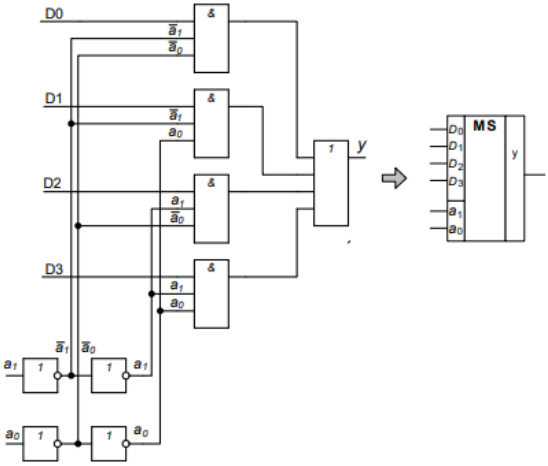

Рис. 10.2- Структура та умовне графічне позначення мультиплексора MS 4→ 1

Завдання

1. В електронній таблиці MS Excel побудувати схему 4-входового мальтиплексора (рис. 10.3). Продемонструвати роботу схеми мультиплексора.

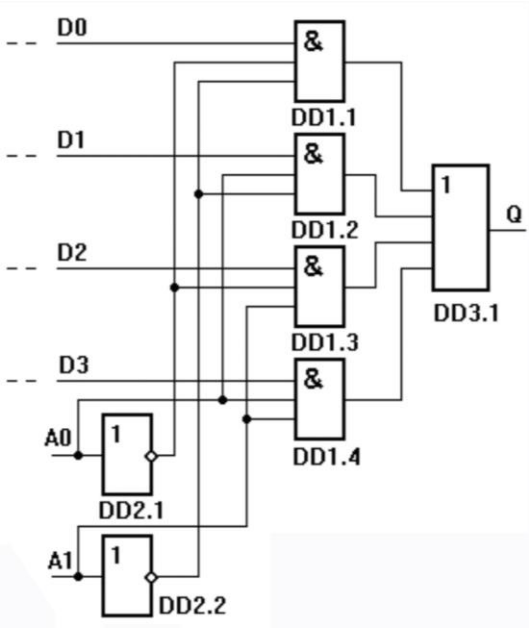

Рис. 10.3- Схема мультиплексора MS 4 → 1

Література

1. Матвієнко М.П. Комп'ютерна логіка / М.П. Матвієнко. – К: Ліра-К, 2017. – 324 с. https://lira-k.com.ua/preview/12062.pdf

2. Жабін В. І., Жуков І. А.,. Клименко І. А, Ткаченко В. В. Прикладна теорія цифрових автоматів : навч. посіб. / П 759. – 2-ге вид., доопрац. – К.: Вид-во Нац. авіац. ун-ту «НАУ-друк», 2009. – 360 с.

http://programming.in.ua/programming/basisprogramming/329-zhabin-zhukov-klymenko-tkachenko-applied-theory-of-digital-devices.html

3. Дичка І.А., Тарасенко В. П., Онай М. В. Основи прикладної теорії цифрових автоматів : підручник. – Київ : КПІ ім. Ігоря Сікорського, Вид-во "Політехніка", 2019. – 508 с. https://ela.kpi.ua/handle/123456789/29295

Лабораторна робота № 11.

Арифметико-логічний пристрій

1. Мета роботи

– вивчити структуру і дослідити роботу арифметико-логічного пристрою (АЛП).

1. Завдання та порядок виконання роботи

1. Вивчити навчальний матеріал.
2. Підготовити відповіді на контрольні питання.
3. Проаналізувати можливі таблиці істинності АЛП.
4. Продемонструвати роботу АЛП.
5. Збільшити кількість виконання (хоча б на одну) арифметичних або логічний операцій для заданого АЛП.

Контрольні питання

1. Мета створення АЛП?
2. Які функціональні можливості АЛП?
3. Що таке адресні входи та входи даних АЛП?
4. З яких логічних схем складається АЛП?
5. Які арифметичні операції забезпечує АЛП?
6. Які логічні операції забезпечує АЛП?

Зміст звіту

1. Назва лабораторної роботи та її мета.
2. Короткі теоретичні відомості та відповіді на контрольні питання.
3. Продемонструвати роботу заданого АЛП.
4. Збільшити кількість виконання (хоча б на одну) арифметичних або логічний операцій для заданого АЛП.
5. Висновки.

2. Теоретичні відомості

АЛП – це такі пристрої, що виконують певний набір арифметичних та логічних операцій над вхідними кодами (операндами) фіксованої розрядності, повертаючи результат у вигляді вихідного коду тієї самої розрядності.

Вигляд виконуваної АЛУ арифметичної або логічної операції визначається зовнішнім кодом операції. При арифметичних операціях АЛУ враховує перенесення з молодших розрядів та генерує перенесення у старші розряди. Логічні операції виконуються паралельно та незалежно над відповідними бітами операндів. Крім перенесення в старший розряд, який є ознакою переповнення розрядної сітки АЛП, пристрої можуть формувати й інші ознаки результату, такі як: рівність нулю, позитивність та ін.

Найбільш функціональна схема АЛП, побудована на основі набору комбінаційних пристроїв, що виконують необхідні арифметичні або логічні операції та вихідних мультиплексорах. Така схема забезпечує арифметичне складання дворозрядних операндів, а також порозрядні логічні операції І, АБО, "виключаюче АБО" та ін.

Завдання

1. Ознайомитись з роботою 1- розрядного арифметико-логічного пристрою (рис. 11.1);

2. Схему 1- розрядного АЛП розширити для виконання більшої кількості (хоча б на одну) арифметичних або логічний операцій. Для зазначеного розширення схеми АЛП необхідно використати 3 - розрядний дешифратор.

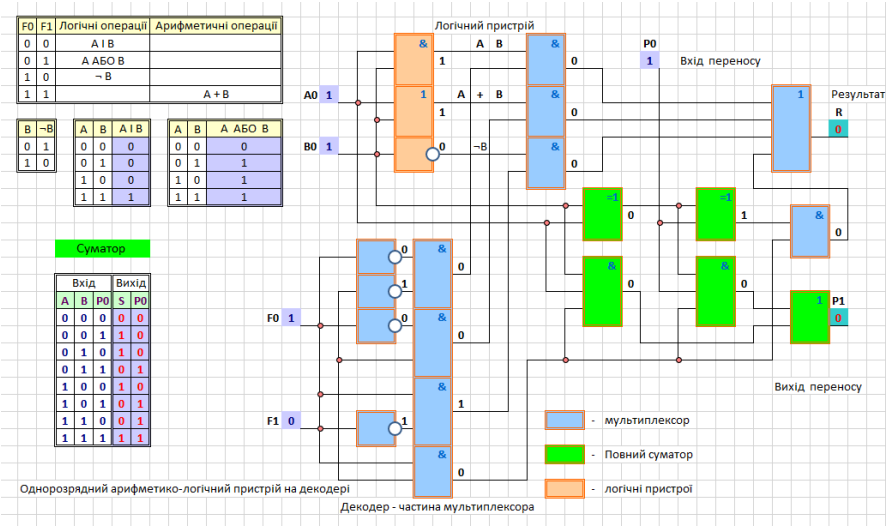

Рис. 11.1 - 1- розрядний арифметико-логічний пристрій

Література

1. Матвієнко М.П. Комп’ютерна логіка / М.П. Матвієнко. – К: Ліра-К, 2017. – 324 с. https://lira-k.com.ua/preview/12062.pdf

2. Жабін В. І., Жуков І. А.,. Клименко І. А, Ткаченко В. В. Прикладна теорія цифрових автоматів : навч. посіб. / П 759. – 2-ге вид., доопрац. – К.: Вид-во Нац. авіац. ун-ту «НАУ-друк», 2009. – 360 с.

http://programming.in.ua/programming/basisprogramming/329-zhabin-zhukov-klymenko-tkachenko-applied-theory-of-digital-devices.html

3. Дичка І.А., Тарасенко В. П., Онай М. В. Основи прикладної теорії цифрових автоматів : підручник. – Київ : КПІ ім. Ігоря Сікорського, Вид-во “Політехніка”, 2019. – 508 с. https://ela.kpi.ua/handle/123456789/29295